

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 27/04	(11) 공개번호 특 1998-079735
(21) 출원번호 특 1998-004832	(43) 공개일자 1998년 11월 25일
(22) 출원일자 1998년 02월 17일	
(30) 우선권 주장 97-049085 1997년 03월 04일 일본 (JP)	
(71) 출원인 가부시키가이샤 히타치세이사쿠쇼	가나미 쓰토무
(72) 발명자 일본 도오쿄오토 치요다쿠 간다스루가다이 4쵸오메 6반치 우마코시 마사시	일본 도오쿄오토 코다이라이시 가쿠엔히가시마찌 3-2-40 스와나미 나오키즈 일본 도오쿄오토 후츄우시 사카에쵸오 3-22-23-704 오기시마 아즈시 일본 도오쿄오토 타테카와시 미치반쵸오 3-18-13
(74) 대리인 임석재, 윤우성	

심사청구 : 없음

(54) 반도체집적회로장치 및 그 제조방법

요약

산화실리콘막, SOG막 및 산화실리콘막의 3층막으로 구성된 층간절연막상에 형성한 본딩패드의 하층에 다층막을 형성하고, 본딩패드의 하부배선의 상부에서 동일한 재료인 산화실리콘막(46, 48)끼리가 직접 접촉하는 면적을 크게 해서 막의 접촉성을 향상시킨다.

도면

도 4

영세서

도면의 주요부분에 대한 설명

- 도 1은 본 발명의 실시형태인 DRAM을 형성한 반도체 칩의 전체 평면도,
- 도 2는 본 발명의 실시형태인 DRAM을 형성한 반도체 칩의 확대 평면도,
- 도 3은 본 발명의 실시형태인 DRAM을 형성한 반도체 칩의 주요부 단면도,
- 도 4는 본 발명의 실시형태인 DRAM을 형성한 반도체 칩의 주요부 단면도,
- 도 5는 본딩패드와 그 하부배선(더미배선)의 패턴을 나타내는 평면도,
- 도 6은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 7은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 8은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 9는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 10은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 11은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 12는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 13은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 14는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 15는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 16은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도,
- 도 17은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 주요부 단면도.

- 도 18은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 19는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 20은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 21은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 22는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 23은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 24는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 25는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 26은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 27은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 28은 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 29는 본 발명의 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 30은 본 발명의 실시형태인 TCP의 제조방법을 나타내는 사시도,
 도 31은 본 발명의 실시형태인 TCP의 제조방법을 나타내는 주요부 단면도,
 도 32는 본 발명의 실시형태인 TCP의 제조방법을 나타내는 주요부 단면도,
 도 33은 본 발명의 실시형태인 TCP의 제조방법을 나타내는 주요부 단면도,
 도 34는 본 발명의 실시형태인 TCP의 제조방법을 나타내는 주요부 평면도,
 도 35의 (a) 및 (b)는 본 발명의 실시형태인 TCP의 제조방법을 나타내는 주요부 평면도,
 도 36은 본 발명의 실시형태인 TCP의 제조방법을 나타내는 사시도,
 도 37은 본 발명의 실시형태인 TCP의 제조방법을 나타내는 주요부 단면도,
 도 38은 본 발명의 실시형태인 적층 메모리 모듈을 나타내는 주요부 단면도,
 도 39의 (a) 및 (b)는 본 발명의 다른 실시형태인 TCP의 제조방법을 나타내는 주요부 평면도,
 도 40은 본 발명의 다른 실시형태인 본딩패드와 그 하부배선(더미배선)의 패턴을 나타내는 평면도,
 도 41은 본 발명의 다른 실시형태인 DRAM의 제조방법을 나타내는 반도체 기관의 주요부 단면도,
 도 42의 (a), (b) 및 (c)는 본 발명자가 검토한 본딩패드의 박리모드를 나타내는 설명도,
 도 43의 (a), (b) 및 (c)는 후공정 범프방식에 의한 TCP의 제조플로우의 주요부 설명도,
 도 44는 본 발명의 다른 실시형태인 본딩패드와 그 하부배선(더미배선)의 패턴을 나타내는 평면도,
 도 45는 본 발명의 다른 실시형태인 DRAM을 형성한 반도체 칩의 주요부 단면도,
 도 46은 본 발명의 다른 실시형태인 DRAM을 형성한 반도체 칩의 주요부 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-----------------|----------------|
| 1: 반도체 기관, | 1A, 1B: 반도체 칩, |
| 2: p형 웰, | 4: 필드 산화막, |
| 5: p형 채널 스톱퍼층, | 7: 게이트 산화막, |
| 8A, 8B: 게이트 전극, | 9: n형 반도체 영역, |
| 10: 질화실리콘막, | |
| 11: 사이드월 스페이서, | |
| 13: n형 반도체 영역, | 16 Ti: 실리사이드층, |
| 17: 산화실리콘막, | 18: BPSG막, |
| 19: 산화실리콘막, | 20: 플러그, |
| 21~24: 접속구멍, | 26: 접속구멍, |
| 27: 질화실리콘막, | 28: 다결정 실리콘막, |
| 29: 사이드월 스페이서, | 30: 배선, |
| 30A: 배선(더미배선), | 31: SDB막, |
| 32: 산화실리콘막, | |
| 33: 축적전극(하부전극), | 34: 용량절연막, |

- 35 : 플레이트 전극(상부전극), 36 : 플러그,
 37 : 접속구멍, 38 : 산화실리콘막,
 39 : S06막, 40 : 산화실리콘막,
 41A, 41B : 배선, 41C~41G : 배선(더미배선),
 42 : 접속구멍, 43 : 플러그,
 44 : 플러그, 45 : 배선,
 46 : 산화실리콘막, 47 : S06막,
 48 : 산화실리콘막, 49 : 패시베이션막,
 50 : 절연테이프, 51 : 디바이스 홀,
 52 : 리드, 52a : 인너리드부,
 52b : 아웃터리드부, 53 : 범프전극,
 53A : Au 볼, 54 : 돌,
 55 : 본딩수지, 56 : 캐필러리,
 60 : 모듈기판, 61 : 전극,
 100 : S06막, 101, 101a : 산화실리콘막,
 102 : 범프전극, 102A : Au 볼,
 103 : 돌, 104 : 리드,
 110 : 파이널 패시베이션막, 120 : 배선,
 BL : 비트선, BP : 본딩패드,
 C : 정보축적용 용량소자, MARY : 메모리 어레이,
 MM : 메모리 매트, PC : 주변회로,
 Qn : n 채널형 MISFET, SA : 센스앰프,
 Qt : 메모리 셀 선택용 MISFET, WL : 워드선,
 WD : 워드 드라이버,

본명의 상세한 설명

본명의 목적

본명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적회로장치 및 그 제조방법에 관한 것으로서, 특히 스피 온 글라스(Spin On Glass: SOG)막을 포함한 절연막을 사용해서 상하의 배선간(間)을 평탄화한 반도체 칩을 테이프 캐리어 패키지(Tape Carrier Package: TCP)로 밀봉하는 반도체 집적회로장치에 적용해서 유용한 기술에 관한 것이다.

최근의 대용량 DRAM(Dynamic Random Access Memory)은 메모리 셀의 미세화에 따라 정보축적용 용량소자(커패시터)의 축적전하량의 감소를 보충하기 위해, 정보축적용 용량소자를 메모리 셀 선택용 MISFET(Metal Insulator Semiconductor Field Effect Transistor)의 상부에 배치하는 스택드 커패시터(stacked capacitor) 구조를 채용하고 있으므로, 메모리 어레이(memory array)와 주변회로와의 사이에 거의 정보축적용 용량소자의 높이에 상당하는 만큼의 단차(표고차)가 생긴다. 그런데, 이와 같은 단차 위에 배선을 형성하면, 단차부에 에칭 잔류(etch residue)가 생긴다든지, 포토리소그래피(photo-lithography)시에 노광광의 초점(focus) 어긋남이 생긴다든지 하기 때문에, 배선을 정밀도 좋게 가공할 수 없게 되어 단락 불량 등이 발생한다.

그래서, 이와 같은 문제점을 해결하기 위해 하층배선과 상층의 배선을 절연하는 층간절연막의 평탄화 기술이 불가결하게 되어 있다.

층간절연막을 평탄화하기 위해서는, 통상 한층의 절연막만으로는 곤란하므로 종래부터 배선상에 CVD(Chemical Vapor Deposition)법으로 산화실리콘막을 퇴적한 후, 배선간 스페이스(space)에 생긴 산화실리콘막의 오목(凹)부에 스피 온 글라스(SOG)막을 매립하는 것이 행해지고 있다. 예컨대, 일본공개특허 평3-72693호 공보에는 배선상에 플라즈마 CVD법으로 산화실리콘막을 퇴적한 후, 그 위에 SOG막을 스피 도포하고, 이것을 열처리(bake)하여 치밀화한 후, 에치백(etch back)에 의해 그 표면을 평탄화하며, 또 그 상부에 플라즈마 CVD법으로 제2 산화실리콘막을 퇴적하는 평탄화 기술이 기재되어 있다.

본 발명자는 상기와 같은 SOG막을 포함한 절연막을 사용해서 상하의 배선공간을 평탄화한 반도체 칩을 LSI 패키지로 밀봉할 때, 반도체 칩의 주면(소자형성면)에 형성한 본딩패드상에 리드를 본딩할 때 가해지는 충격에 의해 본딩패드가 그 하부의 절연막의 일부와 함께 SOG막과의 경계면에서 박리(剝離)한다는

문제를 발견하였다.

이것은 도 42의 (a)에 나타난 바와 같이, 본딩패드(BP)의 하부와 같은 대면적이고 평탄한 영역에는 에치 벽을 행해드 S06막(100)이 남겨지기 쉽고, 그 경우에는 S06막(100)과 산화실리콘막(101a, 101b)과의 경계면이 박리하기 쉽다. 그 때문에, 본딩패드(BP)의 접착성 저하를 초래하고, 최악의 경우에는 도 42의 (b)에 나타난 바와 같이, 본딩패드(BP)가 그 하부의 산화실리콘막(101a)과 함께 S06막(100)의 경계면에서 박리한다. 다른 한편, 도 42의 (c)에 나타난 바와 같이, 다수의 배선(120)이 형성되어 있는 영역(메모리 어레이, 직접 주변회로영역)에서는 S06막(100)은 배선간 스페이스에 생긴 산화실리콘막(101a)의 오목(凹)부에 매립되어 배선(120)상에는 남겨지지 않는다. 이와 같이, 배선이 치밀한 영역에서 도 42의 (c)에 나타난 바와 같이, S06막(100)을 배선간 스페이스에 생긴 산화실리콘막(101a)의 오목(凹)부에 매립하도록 형성하면, 본딩패드(BP)의 하부와 같은 대면적이고 평탄한 영역에는 도 42의 (a)에 나타난 바와 같이 S06막(100)이 남기 쉽다. 110은 파이널 패시베이션막이다.

DRAM 등의 메모리 LSI를 형성한 반도체 칩을 밀봉하는 패키지에는 TCP(Tape Carrier Package), TSOP(Thin Small Outline Package), TSQJ(Thin Small Outline J-lead Package) 등이 있지만, 특히 「후 공정 범포방식」이라고 불리는 조립방식으로 제조한 TCP는 본딩패드에 가해지는 충격이 크기 때문에 박리가 생기기 쉽다.

통상, TCP의 조립공정에서는 편면(片面)에 리드를 형성한 절연테이프의 디바이스 홀내에 반도체 칩을 배치하고, 미리 전공정(前工程)(웨이퍼 프로세스)에서 반도체 칩의 패드상에 형성해 둔 범포전극상에 리드의 일단부(인나리드부)를 본딩해서 리드와 본딩패드를 전기적으로 접속한다. 따라서, 이 경우는 본딩패드에 가해지는 충격이 1회로 끝나기 때문에, 본딩패드의 박리도 비교적 생기기 어렵다.

이것에 비해서 「후공정 범포방식」에서는, 우선 도 43의 (a)에 나타난 바와 같이, 와이머 본딩장치를 사용해서 본딩패드(BP)상에 Au 볼(102A)을 본딩한다(범포부착공정). 다음에, 도 43의 (b)에 나타난 바와 같이, 이 Au 볼(102A)의 표면을 툴(tool)(103)로 평탄화하여 높이가 고른 범포전극(102)을 형성한다(플래트닝 공정). 그 후, 도 43의 (c)에 나타난 바와 같이, 이 범포전극(102)상에 리드(104)의 일단부(인나리드부)를 본딩하여 리드(104)와 본딩패드(BP)를 전기적으로 접속한다(리드부착공정).

상기한 「후공정 범포방식」은 프린트 배선 기판상에 TCP를 적용해서 메모리 모듈을 제작하는 경우 등에 본딩패드상의 범포전극의 유무에 따라 칩 선택트 신호를 검출할 수 있으므로, TCP를 사용한 메모리 모듈의 설계가 용이하게 된다는 이점이 있다. 그러나, 이 방식은 본딩패드상에 Au 볼을 본딩할 때와, 이 Au 볼의 표면을 툴로 평탄화해서 범포전극을 형성할 때와, 이 범포전극상에 리드를 본딩할 때의 합계 3회의 본딩패드에 충격이 가해지므로 패드 밑의 절연막에 큰 스트레스가 걸리고, 그 결과 상기 도 42의 (a), (b)에 나타난 바와 같이, 절연막끼리의 접착성이 저하하여 S06막(100)의 경계면에서 박리가 생기기 쉬워진다.

본 발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 스펀 온 글라스막을 포함한 절연막을 사용해서 상하의 배선간을 평탄화한 반도체 칩을 테이프 캐리어 패키지로 밀봉하는 공정에서 생기는 본딩패드의 박리를 방지할 수 있는 기술을 제공함에 있다.

본 발명의 상기 및 그 이외의 목적과 신규한 특징은 본 명세서의 기술 및 첨부된 도면으로부터 명백하게 될 것이다.

본 발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

(1) 본 발명의 반도체 집적회로장치는, 반도체 칩의 주면상에 적어도 제1 산화실리콘막과, 스펀 온 글라스(SOG)막과, 제2 산화실리콘막과의 적층막을 포함하는 중간절연막이 형성되고, 상기 중간절연막의 상부에 본딩패드가 형성되며, 상기 본딩패드의 하부에는 상기 중간절연막을 통해서 복수의 배선이 소정의 피치로 배치되어 있고, 적어도 상기 복수의 배선의 상부의 상기 스펀 온 글라스막이 제거되어 있다. 즉, 배선의 상부에 있어서, 제1 산화실리콘막이 제2 산화실리콘막에 접하도록 구성된다.

(2) 본 발명의 반도체 집적회로장치는, 상기 복수의 배선이 서로 평행하게 연장되는 패턴으로 배치되어 있다.

(3) 본 발명의 반도체 집적회로장치는, 상기 복수의 배선이 섬(島) 형태로 분리된 패턴으로 배치되어 있다.

(4) 본 발명의 반도체 집적회로장치는, 상기 복수의 배선이 전기적으로 플로팅 상태인 더미배선이다.

(5) 본 발명의 반도체 집적회로장치는, 상기 복수의 배선의 하부에 제2 중간절연막을 통해서 제2 배선이 배치되어 있다.

(6) 본 발명의 반도체 집적회로장치는, 제1 영역에 상기 본딩패드가 형성되고, 상기 제1 영역에 있어서 상기 복수의 배선 스페이스 영역에 상기 스펀 온 글라스막이 매립되어 있다. 제2 영역에 반도체 소자가 형성되고, 상기 제2 영역에 있어서 상기 배선과 유사한 제2 배선이 형성되며, 상기 제2 배선간에 상기 스펀 온 글라스막이 매립될 때 동시에, 상기 제2 배선의 상부의 스펀 온 글라스막은 제거되어 있다.

(7) 본 발명의 반도체 집적회로장치는, 반도체 칩의 주면의 제1 영역에 메모리 셀 선택용 MISFET과 그 상부에 배치된 정보축적용 용량소자로 구성된 DRAM의 메모리 셀이 형성될 때 동시에, 상기 정보축적용 용량소자의 상부에 적어도 제1 산화실리콘막과, 스펀 온 글라스막과, 제2 산화실리콘막과의 적층막을 포함하는 중간절연막이 형성되고, 상기 반도체 칩의 주면의 제2 영역의 상기 중간절연막상에 본딩패드가 형성되며, 상기 본딩패드의 하부에는 상기 중간절연막을 통해서 복수의 배선이 소정의 피치로 배치되어 있다.

고, 적어도 상기 복수의 배선의 상부의 상기 스펀 온 글라스막이 제거되어 있다.

(8) 본 발명의 반도체 집적회로장치는, 상기 반도체 칩의 본딩패드상에 범프전극을 통해서 리드의 일단을 본딩한 테이프 캐리어 패키지이다.

(9) 본 발명의 반도체 집적회로장치의 제조방법은, 이하의 공정을 포함하고 있다.

(a) 반도체 칩의 주면의 제1 영역에 반도체 소자를 형성하는 공정,

(b) 상기 반도체 소자의 상부에 1 또는 복수층의 중간절연막을 통해서 1 또는 복수층의 배선을 형성하는 공정,

(c) 상기 1 또는 복수층의 배선중 최상층의 배선을 형성하는 공정에서 상기 제1 영역에 복수의 배선을 배치하고, 또 상기 반도체 칩의 주면의 제2 영역에 복수의 배선을 소정의 피치로 배치하는 공정,

(d) 상기 복수의 배선을 포함하는 상기 최상층의 배선의 상부에 제1 산화실리콘막을 퇴적한 후, 상기 제1 산화실리콘막의 상부에 스펀 온 글라스막을 도포하는 공정,

(e) 상기 스펀 온 글라스막을 에치백함으로써 제1 및 제2 영역에 있어서 적어도 상기 복수의 배선의 상부의 상기 스펀 온 글라스막을 제거하는 공정,

(f) 상기 반도체 칩의 주면상에 제2 산화실리콘막을 퇴적한 후, 제2 영역에 있어서 상기 제2 산화실리콘막의 상부에 퇴적한 도전막을 패터닝함으로써, 상기 복수의 배선의 상부에 본딩패드를 형성하는 공정. 또한, 상기 복수의 배선의 상부에 있어서, 상기 제1 산화실리콘막은 상기 제2 산화실리콘막에 접한다.

(10) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 복수의 배선을 서로 평행하게 연장하는 패턴으로 배치한다.

(11) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 복수의 배선을 섬(島) 형태로 분리된 패턴으로 배치한다.

(12) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 복수의 배선을 전기적으로 플로팅 상태인 더미 배선으로 하는 것을 특징으로 한다.

(13) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 (b) 공정에서 상기 본딩패드의 하층에 1 또는 복수층의 배선을 형성한다.

(14) 본 발명의 반도체 집적회로장치의 제조방법은, 이하의 공정을 포함하고 있다.

(a) 반도체 칩의 주면상에 제1 도전막을 퇴적한 후, 상기 제1 도전막을 패터닝함으로써, 상기 반도체 칩의 주면의 제1 영역에 DRAM의 메모리 셀의 일부를 구성하는 메모리 셀 선택용 MISFET의 게이트 전극을 형성하고, 상기 반도체 칩의 주면의 제2 영역에 상기 DRAM의 주변회로를 구성하는 MISFET의 게이트 전극을 형성하는 공정,

(b) 상기 메모리 셀 선택용 MISFET와 상기 주변회로의 MISFET와의 상부에 제1 절연막을 통해서 제2 도전막을 퇴적한 후, 상기 제2 도전막을 패터닝함으로써, 상기 메모리 셀 선택용 MISFET의 소스 영역, 드레인 영역의 한쪽에 접속되는 비트선과 상기 주변회로의 MISFET의 소스 영역, 드레인 영역의 한쪽에 접속되는 주변회로의 제1층 배선을 형성하는 공정,

(c) 상기 비트선과 상기 제1층 배선과의 상부에 제2 절연막을 통해서 제3 도전막을 퇴적한 후, 상기 제3 도전막을 패터닝함으로써, 상기 메모리 셀 선택용 MISFET의 소스 영역, 드레인 영역의 다른쪽에 접속되는 정보축적용 용량소자의 하부전극을 형성하는 공정,

(d) 상기 정보축적용 용량소자의 하부전극의 상부에 제3 절연막을 통해서 제4 도전막을 퇴적한 후, 상기 제4 도전막과 제3 절연막을 패터닝함으로써, 상기 정보축적용 용량소자의 상부전극과 용량절연막을 형성하는 공정,

(e) 상기 정보축적용 용량소자의 상부에 제4 절연막을 통해서 제5 도전막을 퇴적한 후, 상기 제5 도전막을 패터닝함으로써, 상기 정보축적용 용량소자의 상부전극에 접속되는 배선과 주변회로의 제2층 배선을 형성하는 공정,

(f) 상기 (e) 공정에서 상기 제5 도전막을 패터닝함으로써, 상기 반도체 칩의 주면의 제3 영역에 복수의 배선을 소정의 피치로 형성하는 공정,

(g) 상기 정보축적용 용량소자의 상부전극에 접속되는 배선과 상기 주변회로의 제2층 배선과 상기 복수의 배선과의 상부에 상기 제1 산화실리콘막을 퇴적한 후, 상기 제1 산화실리콘막의 상부에 스펀 온 글라스막을 도포하는 공정,

(h) 상기 스펀 온 글라스막을 에치백함으로써, 적어도 상기 복수의 배선의 상부의 상기 스펀 온 글라스막을 제거하는 공정,

(i) 상기 반도체 칩의 주면상에 제2 산화실리콘막을 퇴적한 후, 상기 제2 산화실리콘막의 상부에 퇴적한 제6 도전막을 패터닝함으로써, 상기 복수의 배선의 상부에 본딩패드를 형성하는 공정.

(15) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 상기 제1~제4 도전막중 적어도 1층의 도전막을 패터닝하는 공정에서 상기 본딩패드의 하층에 1 또는 복수층의 배선을 형성한다.

(16) 본 발명의 테이프 캐리어 패키지의 제조방법은, 이하의 공정을 포함하고 있다.

(a) 주면상에 제1 산화실리콘막과, 스펀 온 글라스막과, 제2 산화실리콘막과의 적층막을 포함하는 중간절연막이 형성되고, 상기 중간절연막의 상부에 본딩패드가 형성되며, 상기 본딩패드의 하부에는 상기 중간절연막을 통해서 복수의 배선이 소정의 피치로 배치되어 있고, 적어도 상기 복수의 배선의 상부의 상

가 스펀은 글라스막이 제거되어 있는 반도체 첩과, 적어도 그 일면에 리드가 형성된 절연테이프를 준비하는 공정,

(b) 상기 반도체 첩의 본딩패드상에 금속 볼을 사이에 본딩하는 공정,

(c) 상기 금속 볼의 표면을 평탄화함으로써, 상기 본딩패드상에 범프전극을 형성하는 공정,

(d) 상기 절연테이프에 형성된 리드의 일단을 상기 범프전극상에 본딩하는 공정.

(17) 본 발명의 멀티 칩 모듈은, 상기 테이프 캐리어 패키지를 프린트 배선 기판에 복수개 적층해서 실장한 것이다.

(18) 본 발명의 반도체 집적회로장치는, 반도체 첩의 주면에 적어도 제1 절연막과, 평탄화막과, 제2 절연막과의 적층막을 포함하는 중간절연막이 형성되고, 상기 중간절연막의 상부에 본딩패드가 형성된 반도체 집적회로장치에 있어서, 상기 본딩패드의 하부에는 상기 중간절연막을 통해서 복수의 배선이 배치되어 있고, 적어도 상기 복수의 배선의 상부에 있어서, 상기 제1 절연막과 제2 절연막이 접촉하도록 구성되고, 상기 제1 절연막과 상기 제2 절연막과의 접촉력은 상기 제1 절연막 또는 제2 절연막과 상기 평탄화막과의 접촉력보다도 크다.

(19) 본 발명의 반도체 집적회로장치는, 상기 제1 절연막과 상기 제2 절연막이 동일한 절연재로 구성되어 있다.

이하, 본 발명의 실시형태를 도면에 의거해서 상세히 설명한다.

또, 실시형태를 설명하기 위해 전체 도면에 있어서 동일한 기능을 가지는 것은 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

도 1은 본 실시형태의 DRAM을 형성한 반도체 첩의 전체 평면도, 도 2는 그 일부를 나타내는 확대 평면도이다.

단결정 실리콘으로 이루어지는 주면에는, 예컨대 64Mbit(메가비트)의 용량을 가지는 DRAM이 형성되어 있다. 도 1에 나타난 바와 같이, 이 DRAM은 8개로 분할된 메모리 매트(MM)와 그를 주위에 배치된 주변회로(PC)로 구성되어 있다. 8Mbit의 용량을 가지는 메모리 매트(MM)의 각각은, 도 2에 나타난 바와 같이, 16개의 메모리 어레이(MARY)로 분할되어 있다. 메모리 어레이(MARY)의 각각은 행렬(行列) 형태로 배치된 2Kbit(킬로비트)×256bit = 512Kbit의 메모리 셀로 구성되어 있고, 그들의 주위에는 센스앰프(SA)나 워드 드라이버(WD) 등의 주변회로(PC)가 배치되어 있다. 메모리 매트(MM)를 사이에 둔 반도체 첩(1A)의 중앙부에는 이 반도체 첩(1A)을 일종하는 LSI 패키지의 외부 접속단자(리드)가 접속되는 복수의 본딩패드(BP)가 1열로 배치되어 있다.

도 3 및 도 4는 상기 DRAM이 형성된 반도체 첩(1A)의 주요부를 나타내는 단면도이다. 도 3의 좌측부분은 메모리 어레이(MARY)와 그것에 인접하는 주변회로(PC)의 각 일부를 나타내고 있고, 등도의 우측부분과 도 4는 본딩패드 형성영역(BP-A)을 나타내고 있다.

예컨대, p형의 단결정 실리콘으로 이루어지는 반도체 기판(1)에는 메모리 어레이(MARY) 및 주변회로(PC)에 공통의 p형 웰(2)이 형성되어 있다. p형 웰(2)의 표면에는 소자분리용 필드산화막(4)이 형성되어 있고, 이 필드산화막(4)의 하부를 포함하는 p형 웰(2)의 내부에는 p형 채널 스톱퍼층(5)이 형성되어 있다.

메모리 어레이(MARY)의 p형 웰(2)의 액티브 영역에는 DRAM의 메모리 셀이 형성되어 있다. 메모리 셀의 각각은 n 채널형으로 구성된 1개의 메모리 셀 선택용 MISFET(Qt)와 그 상부에 형성되어 메모리 셀 선택용 MISFET(Qt)와 직렬로 접속된 1개의 정보축적용 용량소자(C)로 구성되어 있다. 즉, 이 메모리 셀은 메모리 셀 선택용 MISFET(Qt)의 상부에 정보축적용 용량소자(C)를 배치하는 스택드 커패시터 구조로 구성되어 있다.

메모리 셀 선택용 MISFET(Qt)는 게이트 산화막(7), 워드선(WL)과 일체로 형성된 게이트 전극(8A), 소스 영역 및 드레인 영역(n형 반도체 영역 9, 9), 소스 영역 및 드레인 영역 사이의 p형 웰(2)이 형성된 채널영역(도시하지 않음)으로 구성되어 있다. 게이트 전극(8A)(워드선WL)은 n형 불순물(예컨대 P(인))을 도포한 저저항의 다결정 실리콘막과 W(텅스텐) 실리콘사이드(WSi₂)막을 적층한 2층의 도전막 또는 저저항의 다결정 실리콘막과 TiN(티탄 나이트라이드)막과 W(텅스텐)막을 적층한 3층의 도전막으로 구성되어 있다. 게이트 전극(8A)(워드선WL)의 상부에는 절화실리콘막(10)이 형성되어 있고, 측면에는 절화실리콘의 사이드 월 스페이서(11)가 형성되어 있다. 이들 절연막(절화실리콘막10 및 사이드 월 스페이서11)은 절화실리콘막 대신에 산화실리콘막으로 구성하는 것도 가능하다.

주변회로(PC)의 p형 웰(2)의 액티브 영역에는 n 채널형 MISFET(Qn)이 형성되어 있고, 도시하지 않은 영역에는 p 채널형 MISFET가 형성되어 있다. 즉, 주변회로(PC)는 n 채널형 MISFET(Qn)과 p 채널형 MISFET를 조합한 CMOS(Complementary Metal Oxide Semiconductor) 회로로 구성되어 있다.

주변회로(PC)의 n 채널형 MISFET(Qn)은 게이트 산화막(7), 게이트 전극(8B), 소스 영역 및 드레인 영역, 소스 영역 및 드레인 영역과의 사이의 p형 웰(2)이 형성된 채널영역(도시하지 않음)으로 구성되어 있다. 게이트 전극(8B)(워드선WL)은 상기 메모리 셀 선택용 MISFET(Qt)의 게이트 전극(8A)(워드선WL)과 동일한 도전막으로 구성되어 있다. 게이트 전극(8B)(워드선WL)의 상부에는 절화실리콘막(10)이 형성되어 있고, 측면에는 절화실리콘의 사이드 월 스페이서(11)가 형성되어 있다. n 채널형 MISFET(Qn)의 소스 영역, 드레인 영역의 각각은 저불순물 농도의 n형 반도체 영역(9)과 고불순물 농도의 n형 반도체 영역(13)으로 이루어지는 LDD(Lightly Doped Drain) 구조로 구성되어 있고, n형 반도체 영역(13)의 표면에는 Ti(티탄) 실리콘사이드(TiSi₂)층(16)이 형성되어 있다.

메모리 셀 선택용 MISFET(Qt) 및 n 채널형 MISFET(Qn)의 상부에는 하층에서부터 차례대로

산화실리콘막(17), BPSG(Boron doped Phospho Silicate Glass)막(18) 및 산화실리콘막(19) 형성되어 있다.

메모리 어레이(MARY)의 산화실리콘막(19)의 상부에는 TiN막과 Ψ 막을 적층한 2층의 도전막으로 구성된 비트선(BL)이 형성되어 있다. 비트선(BL)은 인(P) 또는 비소(As)를 도포한 다결정 실리콘의 플러그(20)를 매립한 접속구멍(21)을 통해서 메모리 셀 선택용 MISFET(Qt)의 소스 영역, 드레인 영역의 한쪽(n형 반도체 영역9)과 전기적으로 접속되어 있다. 또한, 비트선(BL)의 일단부에는 접속구멍(23)을 통해서 주변회로(PC)의 n 채널형 MISFET(Qn)의 소스 영역, 드레인 영역의 한쪽(n형 반도체 영역13)과 전기적으로 접속되어 있다. n형 반도체 영역(13)의 표면에는 저저항의 Ti 실리사이드층(16)이 형성되어 있기 때문에, 비트선(BL)의 콘택트 저항을 저감할 수 있다.

주변회로(PC)의 산화실리콘막(19)의 상부에는 제1층패의 배선(30)이 형성되어 있다. 배선(30)은 상기 비트선(BL)과 마찬가지로, TiN막과 Ψ 막을 적층한 2층의 도전막으로 구성되어 있다. 배선(30)의 일단은 접속구멍(24)을 통해서 n 채널형 MISFET(Qn)의 소스 영역, 드레인 영역의 다른쪽(n형 반도체 영역13)과 전기적으로 접속되어 있다. 이 n형 반도체 영역(13)의 표면에는 저저항의 Ti 실리사이드층(16)이 형성되어 있기 때문에, 배선(30)의 콘택트 저항을 저감할 수 있다.

비트선(BL) 및 제1층패의 배선(30)의 상부에는 산화실리콘막(27)이 형성되어 있고, 측벽에는 절화실리콘막의 사이드 월 스페이서(29)가 형성되어 있다. 비트선(BL) 및 배선(30)의 타 상부에는 S06막(31) 및 산화실리콘막(32)이 형성되어 있다. 메모리 어레이(MARY)의 산화실리콘막(32)의 상부에는 축적전극(하부전극)(33), 용량절연막(34) 및 플레이트 전극(상부전극)(35)으로 구성된 정보축적용 용량소자(C)가 형성되어 있다.

정보축적용 용량소자(C)의 축적전극(33)은 Ψ 막으로 구성되어 있고, Ψ (또는 다결정 실리콘)의 플러그(36)를 매립한 접속구멍(37) 및 다결정 실리콘의 플러그(20)를 매립한 접속구멍(22)을 통해서 메모리 셀 선택용 MISFET(Qt)의 소스 영역, 드레인 영역의 다른쪽(n형 반도체 영역9)과 전기적으로 접속되어 있다. 용량절연막(34)은 TiO_2 (산화탄탈)막으로 구성되어 있고, 플레이트 전극(35)은 TiN막으로 구성되어 있다.

정보축적용 용량소자(C)의 상부에는 산화실리콘막(38), S06막(39) 및 산화실리콘막(40)의 3층막으로 구성된 중간절연막이 형성되어 있다. 이 중간절연막의 상부에는 정보축적용 용량소자(C)의 플레이트 전극(상부전극)에 플레이트 전압($V_{dd}/2$)을 공급하는 배선(41A) 및 주변회로(PC)의 제2층패의 배선(41B)이 형성되어 있다. 배선(41A)은 정보축적용 용량소자(C)의 플레이트 전극(35)의 상부의 중간절연막(산화실리콘막40, S06막39 및 산화실리콘막38)에 구멍이 개방된 접속구멍(42)을 통해서 플레이트 전극(35)과 전기적으로 접속되어 있다. 이 접속구멍(42)의 내부에는 Ψ 의 플러그(44)가 매립되어 있다.

패드 형성영역의 중간절연막(산화실리콘막40, S06막39 및 산화실리콘막38)의 상부에는 실질적으로 배선으로서의 기능을 가지지 않고, 전기적으로 플로팅 상태의 배선(더미배선)(41C~41G)이 소정의 피치로 조밀하게 배치되어 있다. 배선(41A, 41B) 및 배선(더미배선)(41C~41G)은 하층에서부터 차례대로 TiN막, Si(실리콘)과 Si_3N_4 (질화규소)를 첨가한 Al(알루미늄) 합금막 및 TiN막을 적층한 3층막으로 구성되어 있다.

배선(41C~41G)의 상부에는 산화실리콘막(46), S06막(47) 및 산화실리콘막(48)의 3층막으로 구성된 중간절연막을 통해서 본딩패드(BP) 및 제3층패의 배선(45)이 형성되어 있다. 배선(45)은 중간절연막(산화실리콘막46, S06막47 및 산화실리콘막48)에 구멍이 개방된 접속구멍(26)을 통해서 제2층패의 배선(41B)과 전기적으로 접속되어 있다. 이 접속구멍(26)의 내부에는 Ψ 의 플러그(43)가 매립되어 있다. 본딩패드(BP) 및 배선(45)은, 예컨대 Ψ 막, Al 합금막 및 Ψ 막을 적층한 3층막으로 구성되어 있다.

본딩패드(BP)의 상부를 제거한 반도체 칩(1A)의 표면에는 패시베이션막(49)이 형성되어 있다. 패시베이션막(49)은, 예컨대 산화실리콘막과 절화실리콘막과의 2층막으로 구성되어 있다.

도 5는 상기 본딩패드(BP)의 평면도이다. 본딩패드(BP)는 치수가 종x 횡 = 약 $100\mu m \times 100\mu m$ 정도의 사각 평면패턴을 가지고 있고, 그 위에는 후술하는 TCP(테이프 캐리어 패키지)의 조립공정에서 리드의 일단부가 본딩된다.

본딩패드(BP)의 하부에는 상기 배선(더미배선)(41C~41G)이 소정의 피치로 스트라이프(stripe) 형태로 배치되어 있다. 도 4에 나타난 바와 같이, 본딩패드(BP)와 그 하층배선(41C~41G)과의 사이에는 산화실리콘막(46), S06막(47) 및 산화실리콘막(48)의 3층막(47)으로 구성된 중간절연막이 형성되어 있지만, 이 중간절연막의 중간층인 S06막(47)은 조밀하게 배치된 배선(41C~41G)의 좁은 스페이스 영역에만 형성되어 있고, 배선(41C~41G)의 상부에는 형성되어 있지 않다. 즉, 본딩패드(BP)의 하부의 중간절연막은, 그 대부분이 산화실리콘막(46)과 산화실리콘막(48)의 2층막으로 구성되어 있고, 구성된 영역은 배선(41C~41G)의 좁은 스페이스 영역에만 한정되어 있다.

이와 같이, 본 실시형태의 DRAM은 평탄성이 우수한 산화실리콘막(46), S06막(47), 산화실리콘막(48)의 3층막으로 중간절연막을 구성함으로써, 메모리 어레이(MARY)와 주변회로(PC)와의 사이의 단차를 완화함과 동시에, 본딩패드(BP)의 하부의 중간절연막은 산화실리콘막(46, 48)에 대한 접착성이 비교적 낮은 S06막(47)의 점유면적을 저감하고, 배선(41C~41G)의 상부에서 동일한 재료인 산화실리콘막(46, 48)끼리가 직접 접촉하는 면적을 증가시키는 것에 의해 막의 접착성을 향상시키고 있다. 즉, 중간절연막을 적층하는 3층의 절연막(산화실리콘막46, S06막47, 산화실리콘막48)중 산화실리콘막(46)과 산화실리콘막(48)의 접착력은 산화실리콘막(46)과 S06막(47) 및 산화실리콘막(48)과 S06막(47)과의 접착력보다도 크기 때문에, 산화실리콘막(46, 48)끼리가 직접 접촉하는 면적이 증가하도록 배선(41C~41G)을 배치하고 있다. 또, 중간절연막을 구성하는 3층의 절연막중 S06막(47)을 사이에 둔 상하 2층의 절연막은 반드시 동일한 재료일 필요는 없고, 상호 접착력이 S06막(47)과의 접착력보다도 큰 재료라면 임의의 것을 사용할 수 있다.

다음에, 본 실시형태의 DRAM의 제조방법을 도 6~도 29를 사용해서 상세히 설명한다.

우선, 도 6에 나타난 바와 같이, $1 \sim 10 \mu\text{m}$ 정도의 비저항(比抵抗)을 가지는 p형의 반도체 기판(1)의 표면에 선택산화(LLOCOS)법으로 필드산화막(4)을 형성한 후, 메모리 셀을 형성하는 영역(MARY)과 주변회로(PC)의 n 채널형 MISFET을 형성하는 영역(PC-A)의 반도체 기판(1)에 p형 불순물(불소(B))을 이온 주입하여 p형 웰(2)을 형성하고, 계속해서 p형 웰(2)에 p형 불순물(B)을 이온 주입하여 p형 채널 스톱퍼층(5)을 형성한다. 또, 반도체 기판(1)의 도시하지 않은 영역에 n형 웰이 형성되고, 이 n형 웰에는 주변회로(PC)의 일부를 구성하는 p 채널형 MISFET이 형성되지만, 그 제조 프로세스의 설명은 생략한다.

다음에, p형 웰(2)의 필드산화막(4)으로 둘러싸인 액티브 영역의 표면에 열산화법으로 게이트 산화막(7)을 형성하고, 또 이 게이트 산화막(7)을 통해서 p형 웰(2)에 MISFET의 문턱치 전압(V_{th})을 조정하기 위한 불순물을 이온 주입한다. p형 웰(2)을 형성하기 위한 이온 주입, p형 채널 스톱퍼층(5)을 형성하기 위한 이온 주입 및 MISFET의 문턱치 전압(V_{th})을 조정하기 위한 이온 주입은, 동일한 포토레지스트 마스크를 사용해서 동일한 공정에서 형성하여도 된다. 또한, 메모리 셀 선택용 MISFET(Qt)의 문턱치 전압(V_{th})을 조정하기 위한 이온 주입과 주변회로(PC)의 n 채널형 MISFET(Qn)의 문턱치 전압(V_{th})을 조정하기 위한 이온 주입을 다른 공정에서 행하고, 문턱치 전압(V_{th})을 각각의 MISFET에서 독립적으로 조정하여도 된다.

다음에, 도 7에 나타난 바와 같이, 메모리 셀 선택용 MISFET(Qt)의 게이트 전극(8A)(워드선WL) 및 n 채널형 MISFET(Qn)의 게이트 전극(8B)을 형성한다. 게이트 전극(8A)(워드선WL) 및 게이트 전극(8B)은, 예컨대 반도체 기판(1)상에 CVD법으로 n형의 다결정 실리콘막, WSi_2 막 및 질화실리콘막(10)을 순차 퇴적한 후, 포토레지스트를 마스크로 한 에칭으로 이들 막을 패터닝하여 동시에 형성한다. 혹은 CVD 법으로 n형 다결정 실리콘막을 퇴적하고, 이어서 스퍼터링법으로 TiN막과 W막을 퇴적하며, 또 CVD법으로 질화실리콘막(10)을 퇴적한 후, 포토레지스트를 마스크로 한 에칭으로 이들 막을 패터닝하여 동시에 형성한다. TiN막은 다결정 실리콘막과 W막과의 반응을 방지하는 배리어(barrier) 금속으로서 사용된다. 게이트 전극(8A)(워드선WL) 및 게이트 전극(8B)은, 예컨대 n형의 다결정 실리콘막상에 TiN막(또는 W(틸스텐 나이트라이드)막)과 Ti 실리콘사이드막을 적층한 3층의 도전막 등, 보다 저저항의 재료로 구성함으로써, 그 시트(sheet) 저항을 더 저감할 수 있다.

다음에, 도 8에 나타난 바와 같이, p형 웰(2)에 n형 불순물(P)을 이온 주입하여 메모리 셀 선택용 MISFET(Qt)의 n형 반도체 영역(9)과 n 채널형 MISFET(Qn)의 n형 반도체 영역(9)을 게이트 전극(8A, 8B)에 대해서 자기 정합(self-alignment)으로 형성한다. 이때, 메모리 셀 선택용 MISFET(Qt)의 n형 반도체 영역(9)을 형성하기 위한 이온 주입과, n 채널형 MISFET(Qn)의 n형 반도체 영역(9)을 형성하기 위한 이온 주입을 다른 공정에서 행하고, 소스 영역, 드레인 영역의 불순물 농도를 각각의 MISFET에서 독립적으로 조정하여도 된다.

다음에, 도 9에 나타난 바와 같이, 메모리 셀 선택용 MISFET(Qt)의 게이트 전극(8A)(워드선WL) 및 n 채널형 MISFET(Qn)의 게이트 전극(8B)의 각 측벽에 사이드 월 스페이서(11)를 형성한다. 사이드 월 스페이서(11)는 CVD법으로 퇴적한 질화실리콘막을 이방성 에칭으로 가공하여 형성한다. 이어서, 주변회로(PC)의 p형 웰(2)에 불순물(P)을 이온 주입하여 n 채널형 MISFET(Qn)의 n형 반도체 영역(13)을 사이드 월 스페이서(11)에 대해서 자기 정합(self-alignment)으로 형성한다. 주변회로(PC)를 구성하는 n 채널형 MISFET(Qn)의 소스 영역, 드레인 영역은 필요에 따라서 그들의 한쪽 또는 양쪽을 싱글 드레인 구조나 이중 확산 드레인(Double Diffused Drain) 구조 등으로 구성하는 것도 가능하다.

다음에, 도 10에 나타난 바와 같이, 메모리 셀 선택용 MISFET(Qt)의 게이트 전극(8A)(워드선WL) 및 n 채널형 MISFET(Qn)의 게이트 전극(8B)의 상부에 CVD법으로 산화실리콘막(17)과 BPSG막(18)을 퇴적한 후, 화학적 기계연마(Chemical Mechanical Polishing; CMP)법으로 BPSG막(18)을 연마함으로써, 그 표면을 평탄화한다.

다음에, 도 11에 나타난 바와 같이, BPSG막(18)상에 CVD법으로 다결정 실리콘막(28)을 퇴적한 후, 포토레지스트를 마스크로 하여 다결정 실리콘막(28)을 에칭하고, 이어서 다결정 실리콘막(28)을 마스크로 하여 BPSG막(18), 산화실리콘막(17) 및 게이트 산화막(7)을 에칭함으로써, 메모리 셀 선택용 MISFET(Qt)의 소스 영역, 드레인 영역의 한쪽(n형 반도체 영역9)의 상부에 접속구멍(21)을 형성하며, 다른쪽(n형 반도체 영역9)의 상부에 접속구멍(22)을 형성한다.

이때, 메모리 셀 선택용 MISFET(Qt)의 게이트 전극(8A)(워드선WL)의 상부에 형성된 질화실리콘막(10)과 측벽에 형성된 질화실리콘의 사이드 월 스페이서(11)는 산화실리콘계의 절연막(BPSG막18, 산화실리콘막17 및 게이트 산화막7)과는 에칭속도가 다르기 때문에, 거의 에칭되지 않고 남는다. 즉, 접속구멍(21, 22)을 형성하기 위한 드라이 에칭에 사용되는 가스는 산화실리콘막의 에칭 레이트(rate)는 높지만, 질화실리콘막의 에칭 레이트는 낮다. 이것에 의해, n형 반도체 영역(9)에 접하는 영역이 상기 포토레지스트의 마스크를 형성하는데 사용한 노광광의 해상도보다도 작은 지름으로 구성되는 미세한 접속구멍(21, 22)을 사이드 월 스페이서(11)에 대해서 자기 정합(self-alignment)으로 형성할 수 있기 때문에, 메모리 셀 사이즈를 축소할 수 있다.

다음에, 도 12에 나타난 바와 같이, 접속구멍(21, 22)의 내부에 다결정 실리콘의 플러그(20)를 매립한다. 이 플러그(20)는 다결정 실리콘막(28)의 상부에 CVD법으로 다결정 실리콘막을 퇴적한 후, BPSG막(18)의 상부의 다결정 실리콘막을 에치백으로 제거하여 형성한다. 이때, 에칭의 마스크로 사용한 다결정 실리콘막(28)도 동시에 제거한다. 플러그(20)를 구성하는 다결정 실리콘막에는 n형의 불순물(P)이 도포된다. 이 불순물은 접속구멍(21, 22)을 통해서 메모리 셀 선택용 MISFET(Qt)의 n형 반도체 영역(9, 9)(소스 영역, 드레인 영역)으로 확산하기 때문에, 주변회로(PC)의 n 채널형 MISFET(Qn)의 n형 반도체 영역(9)보다도 높은 불순물 농도의 n형 반도체 영역(9)이 형성된다.

다음에, 도 13에 나타난 바와 같이, BPSG막(18)의 상부에 CVD법으로 산화실리콘막(19)을 퇴적한 후, 포토레지스트를 마스크로 한 에칭으로 접속구멍(21)의 상부의 산화실리콘막(19)을 제거하여 플러그(20)를

노출시킨 후, 도 14에 나타난 바와 같이, 포토레지스트를 마스크로 해서 주변회로(PC)의 산화실리콘막(19), BPSG막(18), 산화실리콘막(17) 및 게이트 산화막(7)을 에칭함으로써, n 채널형 MISFET(Qn)의 소스 영역, 드레인 영역의 한쪽(n⁺형 반도체 영역13)의 상부에 접속구멍(23)을 형성하고, 다른쪽(n⁺형 반도체 영역13)의 상부에 접속구멍(24)을 형성한다.

다음에 도 15에 나타난 바와 같이, 접속구멍(23, 24)의 저부에 노출된 n 채널형 MISFET(Qn)의 n⁺형 반도체 영역(13, 13)의 표면과, 비트선(BL)이 접속되는 플러그(20)의 표면에 Ti 실리콘사이드층(16)을 형성한다. Ti 실리콘사이드층(16)은 스퍼터링법으로 퇴적한 Ti막을 어닐해서 Si 기반(n⁺형 반도체 영역13) 및 다결정 실리콘(플러그20)을 반응시킨 후, 산화실리콘막(19)상에 남겨진 Ti막을 웨트 에칭으로 제거하여 형성한다. 이 Ti 실리콘사이드층(16)의 형성에 의해 n 채널형 MISFET(Qn)의 소스 영역, 드레인 영역 및 플러그(20)와 그것들에 접속되는 배선(비트선BL, 배선30)과의 콘택트 저항을 저감할 수 있다.

다음에, 도 16에 나타난 바와 같이, 메모리 어레이(MARY)의 산화실리콘막(19)의 상부에 비트선(BL)을 형성하고, 주변회로(PC)의 산화실리콘막(19)의 상부에 제1층 배선(30)을 형성한다. 비트선(BL) 및 배선(30)은 산화실리콘막(19)의 상부에 스퍼터링법으로 TiN막과 W막을 퇴적하고, 이어서 그 상부에 CVD법으로 절화실리콘막(27)을 퇴적한 후, 포토레지스트를 마스크로 한 에칭으로 이들 막을 패터닝하여 동시에 형성한다. 비트선(BL) 및 배선(30)은, 예컨대 TiN막(또는 W막)과 Ti 실리콘사이드막을 적층한 2층의 도전막 등, 보다 저저항의 재료로 구성할 수 있고, 이것에 의해 그 시트 저항을 더 저감할 수 있다.

다음에, 도 17에 나타난 바와 같이, CVD법으로 퇴적한 절화실리콘막을 이방성 에칭으로 가공하여 비트선(BL) 및 배선(30)의 각 측벽에 사이드 월 스페이서(29)를 형성한 후, 비트선(BL) 및 배선(30)의 상부에 SOG막(31)을 스프인 도포하고, 이어서 그 상부에 CVD법으로 산화실리콘막(32)을 퇴적한다. 상기 절화실리콘막(27)과 사이드 월 스페이서(29)는 절화실리콘막에 비해서 유전율이 작은 산화실리콘막으로 대신하는 것도 가능하다. 이 경우는 비트선(BL)과 배선(30)의 기생용량을 저감할 수 있다.

다음에, 도 18에 나타난 바와 같이, 포토레지스트를 마스크로 하여 산화실리콘막(32) 및 SOG막(31)을 에칭함으로써, 메모리 셀 선택용 MISFET(Qt)의 소스 영역, 드레인 영역의 다른쪽(n⁺형 반도체 영역9)의 상부에 형성된 상기 접속구멍(22)의 상부에 접속구멍(37)을 형성한다.

다음에, 도 19에 나타난 바와 같이, 접속구멍(37)의 내부에 W의 플러그(36)를 매립한 후, 접속구멍(37)의 상부에 정보축적용 용량소자(C)의 축적전극(33)을 형성한다. 플러그(36)는 산화실리콘막(32)의 상부에 CVD법으로 퇴적한 W막(또는 다결정 실리콘막)을 에치백해서 형성한다. 축적전극(33)은 산화실리콘막(32)의 상부에 스퍼터링법으로 퇴적한 W막을 포토레지스트를 마스크로 한 에칭으로 패터닝하여 형성한다. 플러그(36)는 다결정 실리콘막이나 TiN막과 W막과의 적층막 등으로 구성하는 것도 가능하다. 또한 축적전극(33)은 Pt, Ir, IrO₂, Rh, RhO₂, Os, OsO₂, Ru, RuO₂, SrTiO₂, BaTiO₃, PbZrO₃, LiNbO₃, Bi₄Ti₃O₁₂, BaMgF₂, Y,계(SrBi₂(Nb, Ta)₂O₇) 등의 강유전체 재료로 구성하는 것도 가능하다. 정보축적용 용량소자(C)의 용량치를 크게 하기 위해서는 축적전극(33)을 구성하는 W막의 막 두께를 두껍게 하여 표면적을 크게 하는 것이 유효하다.

다음에, 도 20에 나타난 바와 같이, 축적전극(33)의 상부에 CVD법으로 산화탄탈막을 퇴적하고, 이어서 그 상부에 CVD법으로 TiN막을 퇴적한 후, 포토레지스트를 마스크로 한 에칭으로 이들 막을 패터닝함으로써, W막으로 이루어지는 축적전극(33), 산화탄탈막으로 이루어지는 용량절연막(34) 및 TiN막으로 이루어지는 플레이트 전극(35)으로 구성된 정보축적용 용량소자(C)를 형성한다. 용량절연막(34)은 BST(Ba_{0.6}Sr_{0.4}TiO₃) 등의 고유전체 재료나 PZT(PbZr_{0.5}Ti_{0.5}O₃), PLZT(PbLa_{0.5}Ti_{0.5}O₃), PLZT, PbTiO₃, SrTiO₃, BaTiO₃, PbZrO₃, LiNbO₃, Bi₄Ti₃O₁₂, BaMgF₂, Y,계(SrBi₂(Nb, Ta)₂O₇) 등의 강유전체 재료로 구성하는 것도 가능하다. 또한 플레이트 전극(35)은 W 실리콘사이드/TiN, Ta, Cu, Ag, Pt, Ir, IrO₂, Rh, RhO₂, Os, OsO₂, Ru, RuO₂, Re, ReO₂, Pd, Au 등의 금속막 혹은 도전성 금속산화물막 등으로 구성하는 것도 가능하다.

플레이트 전극(35)은 TiN막(35A)으로 구성되기 때문에, 그 두께를 너무 두껍게 하면 TiN막에 크랙이 생길간단히 하층의 용량절연막(34)에 스트레스가 가해져 특성이 열화한다든지 하는 우려가 있다. 따라서, TiN막은 비교적 얇은 막 두께(0.2 μ m 정도)로 하는 것이 좋다.

다음에, 도 21에 나타난 바와 같이, 정보축적용 용량소자(C)의 상부에 CVD법으로 산화실리콘막(38)을 퇴적하고, 이어서 그 상부에 SOG막(39)을 스프인 도포하며, 또 그 상부에 CVD법으로 산화실리콘막(40)을 퇴적함으로써, 정보축적용 용량소자(C)를 형성하는 것에 의해 생긴 메모리 어레이(MARY)와 주변회로(PC)와의 사이의 단차를 완화한다. 계속해서, 포토레지스트를 마스크로 하여 이 용량절연막(산화실리콘막40, SOG막39 및 산화실리콘막38)을 에칭함으로써, 정보축적용 용량소자(C)의 플레이트 전극(35)의 상부에 접속구멍(42)을 형성한다.

다음에, 도 22에 나타난 바와 같이, 접속구멍(42)의 내부에 W의 플러그(44)를 매립한 후, 산화실리콘막(40)의 상부에 배선(41A, 41B) 및 배선(더미배선)(41C~41G)을 형성한다. 플러그(44)는 산화실리콘막(40)의 상부에 CVD법으로 퇴적한 W막을 에치백해서 형성한다. 또한, 배선(41A~41G)은 산화실리콘막(40)의 상부에 스퍼터링법으로 TiN막, Al 합금막 및 TiN막을 퇴적한 후, 포토레지스트를 마스크로 한 에칭으로 이들 막을 패터닝하여 동시에 형성한다. 배선(41A~41G)은 TiN막과 Cu막과의 적층막 등으로 구성할 수도 있다.

다음에, 도 23, 도 24에 나타난 바와 같이, 배선(41A~41G)의 상부에 CVD법으로 산화실리콘막(46)을 퇴적하고, 이어서 그 상부에 SOG막(47)을 스프인 도포한 후, 도 25, 도 26에 나타난 바와 같이, 메모리 어레이(MARY), 주변회로(PC) 및 패드 형성영역(BP-A)에 있어서, 배선(41A~41G)의 상부의 산화실리콘막(46)의 표면이 노출될 때까지 SOG막(47)막을 에치백 한다. 즉, 배선(더미배선)(41C~41G)은 메모리 어레이(MARY)에 있어서, 배선(41A, 41B)과 스페이스에 생긴 오목(凹)부에 SOG막(47)이 매립되는 것과 마찬가지로, 패드 형성영역에 있어서, 배선(41C~41G)과 스페이스에 생긴 오목(凹)부에 SOG막(47)이 매립

되도록 배치된다.

여기서, 배선(41C~41G)의 막 두께를 350nm, 배선(41C~41G)의 상부에 퇴적하는 산화실리콘막(46)의 막 두께를 평탄부에서 180nm, 배선(41C~41G)의 상부에서 350nm, S06막(47)의 막 두께를 250nm, 예치백량을 160nm로 한 경우, 배선(41C~41G)을 설치하지 않으면, 본딩패드(BP)의 하부에는 단순 경적으로 250 - 160 = 90nm의 S06막(47)이 남게 된다. 따라서, 이 상태에서 본딩패드(BP)를 형성하면 본딩패드(BP)가 강한 스트레스를 받을 때 S06막(47)과의 경계면에 박리가 생기게 쉽다.

그 대책으로서, 본딩패드(BP)의 하부에 배선(41C~41G)을 형성한 경우, 배선(41C~41G)의 상부에 90nm의 S06막(47)이 남아 있지 않도록 하기 위해서는 배선(41C~41G)에 적당한 스페이스를 마련하고, 그 내부에 S06막(47)을 매립할 필요가 있다.

산화실리콘막(46)의 막 두께를 상기와 같이 평탄부에서 180nm, 배선(41C~41G)의 상부에서 350nm로 한 경우, 도 27에 나타낸 바와 같이, 배선(41C~41G)의 스페이스에는 520nm의 단차가 생긴다. 이때 배선(41C~41G)의 스페이스를 a, 폭을 b라 하면, 배선(41C~41G)의 상부에 S06막(47)이 남아 있지 않도록 하기 위해서는,

$$520 \times a = (250 - 160) \times (a + b)$$

즉, b/a 4.78이 되도록 a, b를 규정해서 배선(41C~41G)의 스페이스에 S06막(47)을 매립하면 된다.

따라서, 예컨대 배선(41C~41G)의 스페이스(a)를 1 μ m, 폭(b)을 2 μ m로 하면 b/a 3.7로 되어 상기 조건(b/a 4.56)을 만족하기 때문에, 배선(41C~41G)의 상부에는 S06막(47)이 남지 않는다.

또한, 배선(41C~41G)의 막 두께를 예컨대 610 μ m로 한 경우에는, 배선(41C~41G)의 스페이스(a)에 생기는 단차가 780nm로 되기 때문에, 상기와 같은 계산으로부터 b/a 7.70이 되도록 a, b를 규정함으로써 배선(41C~41G)의 상부에 S06막(47)이 남아 있지 않도록 할 수 있다. 따라서, 예컨대 배선(41C~41G)의 스페이스(a)를 1 μ m, 폭(b)을 4 μ m로 하면 b/a 6.8로 되어 상기 조건(b/a 7.7)을 만족하기 때문에, 배선(41C~41G)의 상부에는 S06막(47)이 남지 않는다. 배선(41C~41G)의 막 두께가 변하여도, 같은 사고 방식으로 배선(41C~41G)의 스페이스(a) 및 폭(b)을 규정함으로써, 배선(41C~41G)의 상부에 S06막(47)이 남아 있지 않도록 할 수 있다.

이것에 의해, 본딩패드(BP)의 하부에 있어서, 동일한 재료인 산화실리콘막(46)과 (후에 퇴적하는) 산화실리콘막(48)이 직접 경계면에 접하는 면적비가 크게 (예컨대 패드면적의 87%) 확보되고, 층간절연막의 접착력이 높게 되기 때문에, 본딩패드(BP)가 강한 스트레스를 받는 경우라도 S06막(47)과의 경계면에서 박리가 생기기 어렵게 된다.

다음에, 도 28, 도 29에 나타낸 바와 같이, 배선(41C~41G)의 상부를 덮는 층간절연막의 최상층인 산화실리콘막(48)을 CVD법으로 퇴적한 후, 층간절연막(산화실리콘막46, S06막47, 산화실리콘막48)을 예치백해서 배선(41G)의 상부에 접속구멍(26)을 형성하고, 계속해서 이 접속구멍(26)에 μ 의 플러그(43)를 매립한 후, 층간절연막(산화실리콘막48)의 상부에 배선(45) 및 본딩패드(BP)를 형성한다. 플러그(43)는 산화실리콘막(48)의 상부에 CVD법으로 퇴적한 μ 막을 예치백해서 형성한다. 또한, 배선(45) 및 본딩패드(BP)는 산화실리콘막(48)의 상부에 스퍼터링법으로 TiN막, Al막 및 TiN막을 퇴적한 후, 포토레지스트를 마스크로 한 에칭으로 이들 막을 패터닝하여 동시에 형성한다. 배선(45) 및 본딩패드(BP)는 TiN막과 Cu막과의 적층막 등으로 구성하는 것도 가능하다.

그 후, 본딩패드(BP)의 상부에 산화실리콘막과 질화실리콘막과의 2층막을 CVD법으로 퇴적하여 패시베이션막(49)을 형성한 후, 포토레지스트를 마스크로 한 에칭으로 본딩패드(BP)의 상부의 패시베이션막(49)을 제거하여 본딩패드(BP)를 노출시킴으로써, 상기 도 3, 도 4에 나타낸 본 실시형태의 DRAM을 완성한다.

다음에, 상기 DRAM이 형성된 반도체 칩(1A)을 TCP(Tape Carrier Package)로 밀봉하는 방법을 도 30~도 37를 사용해서 설명한다.

TCP를 제조하기 위해서는, 우선 도 30에 나타낸 절연테이프(50)를 준비한다. 이 절연테이프(50)는 두께 50 μ m 정도의 폴리이미드 수지로 이루어지고, 그 중앙부에는 반도체 칩(1A)이 배치되는 사각형의 디바이스 홀(51)이 형성되어 있다. 이 디바이스 홀(51)의 2개의 장변에 따른 영역에는 절연테이프(50)의 편면에 접착한 얇은 Cu박(箔)을 에칭해서 형성한 리드(52)가 배치되어 있고, 그 인너리드부(52a)가 디바이스 홀(51)내로 연장되어 있다. 절연테이프(50)는 실제로는 길이가 수 10미터인 긴 길이의 테이프이지만, 도면에는 그 일부(TCP 3개분)만을 나타내고 있다.

한편, 반도체 칩(1A)의 본딩패드(BP)상에는 TCP의 조립에 앞서 범프전극을 형성한다. 범프전극을 형성하기 위해서는, 우선 도 31에 나타낸 바와 같이, 230 $^{\circ}$ C 정도로 가열한 반도체 칩(1A)의 본딩패드(BP)상에 캐필러리(capillary)(56)를 사용해서 Au 볼(53A)을 와이어 본딩한다. 이때, 본딩패드(BP)에는 45g 정도의 하중이 가해진다.

다음에, 도 32에 나타낸 바와 같이, 저부가 평탄한 몰(54)을 반도체 칩(1A)의 상방에서 Au 볼(53A)을 밀어 내려 그 표면을 평탄화함으로써, 범프전극(53)을 형성한다. 이때, 본딩패드(BP)에 가해지는 하중은 90g 정도이다.

다음에, 상기 절연테이프(50)의 편면에 형성한 리드(52)의 인너리드부(52a)를 범프전극(53)상에 위치 고정시킨 후, 도 33에 나타낸 바와 같이, 약 500 $^{\circ}$ C로 가열한 몰(54)을 인너리드부(52a)에 1초 정도 압착함으로써, 도 34에 나타낸 바와 같이, 전체 리드(52)의 인너리드부(52a)를 반도체 칩(1A)의 대응하는 본딩패드(BP)상에 동시에 일괄해서 본딩한다. 이때, 본딩패드(BP)에 가해지는 하중은 80g 정도이다.

이와 같이, 본 실시형태의 TCP 제조공정에서는, 반도체 칩(1A)의 본딩패드(BP)상에 범프전극(53)을 형성하고, 이어서 이 범프전극(53)상에 리드(52)의 인너리드부(52a)를 본딩할 때 본딩패드(BP)에 3회의 하중이 가해지지만, 상술한 바와 같이, 본딩패드(BP)의 하부의 층간절연막을 구성하는

3층막(산화실리콘막46, SOG막47, 산화실리콘막48)중 산화실리콘막(46, 48)에 대한 접착성이 비교적 낮은 SOG막(47)의 접착력을 저감하고, 동일한 재료인 산화실리콘막(46, 48)끼리가 직접 접촉하는 면적을 증가시키는 것에 의해 막의 접착성을 향상시키고 있기 때문에, 본딩패드(8P)의 박리를 용이하게 방지할 수 있다. 또한, 반도체 칩(1A)의 메모리 어레이(MARY)에 있어서도 산화실리콘막(46, 48)끼리가 직접 접촉하는 면적이 크고, 산화실리콘막(46, 48)과 SOG막(47)이 접촉하는 면적은 작다.

반도체 칩(1A)의 본딩패드(8P)상에 범프전극(53)을 형성하는 경우는, 도 35에 나타난 바와 같이, 특정의 본딩패드(8P)상에만 범프전극(53)을 형성하지 않고 남겨 놓는다. 범프전극(53)을 형성하지 않은 본딩패드(8P)의 위치는 반도체 칩(1A)과 다른 반도체 칩(1B)에서 다르게 해 놓는다.

다음에, 도 36에 나타난 바와 같이, 반도체 칩(1A)의 주면과 측면을 본딩수지(55)로 밀봉한다. 반도체 칩(1A)을 수지 밀봉하는대는 디스펜서 등을 사용해서 반도체 칩(1A)의 주면상에 신나(thinner)로 회색한 본딩수지(55)를 도포한 후, 열처리를 행해 본딩수지(55)를 경화시킨다. 반도체 칩(1A)은 모듈로 수지로 밀봉하여도 된다.

다음에, 절연테이프(55) 및 리드(52)의 불필요한 장소를 절단, 제거한 후, 도 37에 나타난 바와 같이, 리드(52)의 아웃터리드부(52b)를 기관 실장이 가능한 형상으로 성형함으로써 TCP를 완성한다. 아웃터리드부(52b)는 TCP의 실장 환경에 따라서 반도체 칩(1A)의 주면측으로 구부린다든지, 이면측으로 구부린다든지 한다. 리드(52)의 아웃터리드부(52b)에는 성형에 앞서 땀납 도금을 행해 놓는다.

도 38에 나타난 바와 같이, TCP를 모듈기관(60)에 실장하는대는, 리드(52)의 아웃터리드부(52b)를 모듈기관(60)의 전극(61)상에 위치 결정한 후, 아웃터리드부(52b)의 표면의 땀납 도금을 가열로내에서 리플로우시킨다. 이때, 반도체 칩(1A)을 실장한 TCP와 다른 반도체 칩(1B)을 실장한 TCP의 각각의 아웃터리드부(52b)의 구부림 형상을 바꾸는 것에 의해 적층 메모리 모듈을 용이하게 실현할 수 있다.

이 적층 메모리 모듈은, 상술한 바와 같이, 범프전극(53)을 형성하지 않은 본딩패드(8P)의 위치가 반도체 칩(1A)과 다른 반도체 칩(1B)에서 다르기 때문에, 특정의 본딩패드(8P)상의 범프전극(53)의 유무에 따라서 용이하게 칩 선택력을 행할 수 있다. 이 경우, 예컨대 도 39에 나타난 바와 같이, 범프전극(53)을 형성하지 않은 본딩패드(8P)에 대응하는 리드(52)에는 인너리드부(52a)를 형성하지 않도록 하여도 된다.

이와 같이, 본 실시형태의 TCP에 의하면, 반도체 칩(1A)의 본딩패드(8P)상에 범프전극(53)을 형성하고, 이어서 이 범프전극(53)상에 리드(52)의 인너리드부(52a)를 본딩하는 공정에서 본딩패드(8P)에 충격이 가해진 경우에 본딩패드(8P)의 하부의 층간절연막(산화실리콘막46, SOG막47, 산화실리콘막48)의 접착성 저하를 억제하여 본딩패드(8P)의 박리를 방지할 수 있다.

이상, 본 발명에 의해 이루어진 발명을 실시형태에 의거해서 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다.

상기 실시형태에서는, 본딩패드와 하부배선(더미배선)을 소정의 피치로 스트라이프 형태로 배치하였지만, 예컨대 도 40에 나타난 바와 같이, 이들 배선(더미배선)(41C~41G)을 소정의 피치로 삼 형상으로 배치하여도 된다. 또한, SOG막을 에치백한 경우에 적어도 배선(더미배선)상에 SOG막이 남아 있지 않은 패턴이라면 스트라이프 형태나 삼 형태의 패턴에 한정되지 않는다.

또한, 예컨대 도 41에 나타난 바와 같이, 본딩패드의 하부배선(더미배선)(41C~41G)의 더 하층에 배선(더미배선)(30A)을 배치하여도 된다. 이렇게 하면, 배선(더미배선)(41C~41G)의 하지(下地)의 표고(標高)가 다른 영역에 비해 높게 되기 때문에, SOG막(47)을 스핀 도포한 때에 배선(더미배선)(41C~41G)상의 SOG막(47)의 막 두께를 얇게 할 수 있다. 따라서, SOG막(47)을 에치백하는 경우에 배선(더미배선)(41C~41G)상의 SOG막(47)을 단시간에 제거할 수 있다.

또한, 도 44는 도 41에 나타낸 더미배선(30A)의 평면 레이아웃의 일례를 나타내고, 도 45의 우측부분은 도 44를 나타내고, 도 45의 좌측부분은 메모리 어레이 형성영역(MARY)의 주요부 단면도를 나타낸다. 이 예에서는 SOG막(31)은 산화실리콘막(27) 사이에 매립되어 있고, 더미배선(30A)상에 있어서 산화실리콘막(27)은 산화실리콘막(32)에 접하도록 형성된다. 이것에 의해, 본딩패드(8P)의 밑에서 층간절연막의 접착성을 향상할 수 있다. 또, 도 44에 나타난 바와 같이, 더미배선(30A)은 더미배선(41C, 41D, 41E, 41F, 41G)이 연장되는 방향에 수직인 방향으로 연장된다. 또한, 도 46에 나타난 바와 같이, 제1층패드의 배선(30, 30A)상의 층간절연막(27, 31, 32)을 3층의 층간절연막(산화실리콘막46, SOG막47, 산화실리콘막48)과 동일한 구성으로 하여도 된다. 즉, 절연막(27)을 CVD 산화실리콘막의 퇴적막으로 구성하고, 절연막(27)의 오목(凹)부에 SOG막(31)을 매립하여 더미배선(30A) 및 배선(30)의 상부에서 산화실리콘막(27)이 산화실리콘막(32)에 접하도록 구성하여도 된다.

또, 도 41, 도 44~도 46은 배선(더미배선)(41C~41G)의 하층배선(더미배선)(30A)을 비트선(BL) 및 배선(30)과 같은 층의 배선으로 구성한 경우에 대해서 나타내고 있지만, 예컨대 게이트 전극(8A, 8B), 축적전극(하부전극)(33) 또는 플레이트 전극(상부전극)(35) 등과 같은 층의 배선으로 구성하는 것도 가능하다. 또한, 그 때 배선(더미배선)(41C~41G)의 하층에 2층 이상의 배선(더미배선)을 배치하여도 된다. 게다가, 본딩패드의 하부에 형성하는 배선은 반드시 전기적으로 플러팅 상태인 더미배선일 필요는 없고, 실제 배선의 일부를 연장한다든지 분기한다든지 하여 본딩패드의 하부에 배치하여도 된다.

상기 실시형태에서는 DRAM을 형성한 반도체 칩을 TCP로 밀봉하는 경우에 대해서 설명하였지만, 본 발명은 적어도 본딩패드의 하부에 SOG막을 포함하는 층간절연막을 형성한 반도체 칩을 TCP로 밀봉하는 경우에 적용할 수 있다.

또한, 본 발명은 TCP에 한정되지 않고, 적어도 반도체 칩의 본딩패드상에 형성한 범프전극을 통해서 리드와 본딩패드를 전기적으로 접속하는 LSI 패키지에 적용할 수 있다.

게다가, 본 발명은 SOG막을 포함하는 층간절연막에 한정되지 않고, 일반적으로 다른 절연재료를 적층해

서 형성한 중간절연막상에 본딩패드를 형성하고, 이 본딩패드상에 형성한 범프전극을 통해서 본딩패드와 리드를 전기적으로 접속하는 LSI 패키지에 적용할 수 있다.

발명의 효과

본원에 의해 개시되는 발명중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 아래와 같다.

본 발명에 의하면, SO6막을 포함한 중간절연막을 사용해서 상하의 배선간을 평탄화한 반도체 칩을 TCP로 밀봉하는 공정에서 생기는 본딩패드의 박리를 유효하게 방지 할 수 있기 때문에, TCP 특히 「후공정 범프방식」으로 제조되는 TCP의 신뢰성 및 제조 수율을 향상시킬수 있다.

본 발명에 의하면, 반도체 칩의 주면상에 배선을 형성하는 공정에서 동시에 본딩패드의 하층에 더미배선을 형성하기 때문에, 전공정(前工程)(웨이퍼 프로세스)의 공정수를 증가시키지 않고 상기한 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1. 반도체 칩의 주면상에 적어도 제1 산화실리콘막과, 스피 온 글라스막과, 제2 산화실리콘막과의 적층막을 포함하는 중간절연막이 형성되고, 상기 중간절연막의 상부에 본딩패드가 형성된 반도체 집적회로장치에 있어서,

상기 본딩패드의 하부에는, 상기 중간절연막을 통해서 복수의 배선이 소정의 피치로 배치되어 있고, 적어도 상기 복수의 배선의 상부의 상기 스피 온 글라스막이 제거되어 있는 반도체 집적회로장치.

청구항 2. 제1 항에 있어서,

상기 복수의 배선은, 서로 평행하게 연장되는 패턴으로 배치되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 3. 제1 항에 있어서,

상기 복수의 배선은, 서로 섬(島)형태로 분리된 패턴으로 배치되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4. 제1 항에 있어서,

상기 복수의 배선은, 전기적으로 플로팅 상태인 더미배선인 것을 특징으로 하는 반도체 집적회로장치.

청구항 5. 제1 항에 있어서,

상기 복수의 배선의 하부에는, 제2 중간절연막을 통해서 제2 배선이 배치되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 6. 제1 항 내지 제5 항중 어느 한 항에 있어서,

상기 복수의 배선의 스페이스 영역에 상기 스피 온 글라스막이 매립되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 7. 반도체 칩의 주면의 제1 영역에 메모리 셀 선택용 MISFET와 그 상부에 배치된 정보축적용 용량소자로 구성되는 DRAM의 메모리 셀이 형성되고 동시에, 상기 정보축적용 용량소자의 상부에 적어도 제1 산화실리콘막과, 스피 온 글라스막과, 제2 산화실리콘막과의 적층막을 포함하는 중간절연막이 형성되고, 상기 반도체 칩의 주면의 제2 영역의 상기 중간절연막상에 본딩패드가 형성된 반도체 집적회로장치에 있어서,

상기 본딩패드의 하부에는, 상기 중간절연막을 통해서 복수의 배선이 소정의 피치로 배치되어 있고, 적어도 상기 복수의 배선의 상부의 상기 스피 온 글라스막이 제거되어 있는 반도체 집적회로장치.

청구항 8. 제1 항 내지 제7 항중 어느 한 항 기재의 반도체 칩의 본딩패드상에 범프전극을 통해서 리드의 일단을 본딩한 테이프 캐리어 패키지형 반도체 집적회로장치.

청구항 9. (a) 반도체 칩의 주면의 제1 영역에 반도체 소자를 형성하는 공정과,

(b) 상기 반도체 소자의 상부에 1 또는 복수층의 중간절연막을 통해서 1 또는 복수층의 배선을 형성하는 공정과,

(c) 상기 1 또는 복수층의 배선중 최상층의 배선을 형성하는 공정에서 상기 반도체 칩의 주면의 제2 영역에 복수의 배선을 소정의 피치로 배치하는 공정과,

(d) 상기 복수의 배선을 포함하는 상기 최상층의 배선의 상부에 제1 산화실리콘막을 퇴적한 후, 상기 제1 산화실리콘막의 상부에 스피 온 글라스막을 도포하는 공정과,

(e) 상기 스피 온 글라스막을 에치백함으로써, 적어도 상기 복수의 배선의 상부의 상기 스피 온 글라스막을 제거하는 공정과,

(f) 상기 반도체 칩의 주면상에 제2 산화실리콘막을 퇴적한 후, 상기 제2 산화실리콘막의 상부에 퇴적한 도전막을 패터닝함으로써, 상기 복수의 배선의 상부에 본딩패드를 형성하는 공정을 구비하는 반도체 집적회로장치의 제조방법.

청구항 10. 제9 항에 있어서,

상기 복수의 배선을 서로 평행하게 연장하는 패턴으로 배치하는 것을 특징으로 하는 반도체 집적회로장

치의 제조방법.

청구항 11. 제9 항에 있어서,

상기 복수의 배선을 성 형태로 분리된 패턴으로 배치하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 12. 제9 항에 있어서,

상기 복수의 배선을 전기적으로 플로팅 상태인 더미배선으로 하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 13. 제9 항에 있어서,

상기 (b) 공정에서 상기 본딩패드의 하층에 1 또는 복수층의 배선을 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 14. (a) 반도체 칩의 주면상에 제1 도전막을 퇴적한 후, 상기 제1 도전막을 패터닝함으로써, 상기 반도체 칩의 주면의 제1 영역에 DRAM의 메모리 셀의 일부를 구성하는 메모리 셀 선택용 MISFET의 게이트 전극을 형성하고, 상기 반도체 칩의 주면의 제2 영역에 상기 DRAM의 주변회로를 구성하는 MISFET의 게이트 전극을 형성하는공정과,

(b) 상기 메모리 셀 선택용 MISFET와 상기 주변회로의 MISFET와의 상부에 제1 절연막을 통해서 제2 도전막을 퇴적한 후, 상기 제2 도전막을 패터닝함으로써, 상기 메모리 셀 선택용 MISFET의 소스 영역, 드레인 영역의 한쪽에 접속되는 비트선과 상기 주변회로의 MISFET의 소스 영역, 드레인 영역의 한쪽에 접속되는 주변회로의 제1층 배선을 형성하는 공정과,

(c) 상기 비트선과 상기 제1 배선과의 상부에 제2 절연막을 통해서 제3 도전막을 퇴적한 후, 상기 제3 도전막을 패터닝함으로써, 상기 메모리 셀 선택용 MISFET의 소스 영역, 드레인 영역의 다른쪽에 접속되는 정보축적용 용량소자의 하부전극을 형성하는 공정과,

(d) 상기 정보축적용 용량소자의 하부전극의 상부에 제3 절연막을 통해서 제4 도전막을 퇴적한 후, 상기 제4 도전막과 상기 제3 절연막을 패터닝함으로써, 상기 정보축적용 용량소자의 상부전극과 용량절연막을 형성하는 공정과,

(e) 상기 정보축적용 용량소자의 상부에 제4 절연막을 통해서 제5 도전막을 퇴적한 후, 상기 제5 도전막을 패터닝함으로써, 상기 정보축적용 용량소자의 상부전극에 접속되는 배선과 주변회로의 제2층 배선을 형성하는 공정과,

(f) 상기 (e) 공정에서 상기 제5 도전막을 패터닝함으로써, 상기 반도체 칩의 주면의 제3 영역에 복수의 배선을 소정의 피치로 배치하는 공정과,

(g) 상기 정보축적용 용량소자의 상부전극에 접속되는 배선과 상기 주변회로의 제2층 배선과 상기 복수의 배선과의 상부에 제1 산화실리콘막을 퇴적한 후, 상기 제1 산화실리콘막의 상부에 스피너 온 글라스막을 도포하는 공정과,

(h) 상기 스피너 온 글라스막을 에치백함으로써, 적어도 상기 복수의 배선의 상부의 상기 스피너 온 글라스막을 제거하는 공정과,

(i) 상기 반도체 칩의 주면상에 제2 산화실리콘막을 퇴적한 후, 상기 제2 산화실리콘막의 상부에 퇴적한 제6 도전막을 패터닝함으로써, 상기 복수의 배선의 상부에 본딩패드를 형성하는 공정을 구비하는 반도체 집적회로장치의 제조방법.

청구항 15. 제14 항에 있어서,

상기 제1 내지 제4 도전막중 적어도 1층의 도전막을 패터닝하는 공정에서 상기 본딩패드의 하층에 1 또는 복수층의 배선을 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 16. (a) 제1 항 내지 제7 항중 어느 한 항 기재의 반도체 칩과, 적어도 그 일면에 리드가 형성된 절연테이프를 준비하는 공정과,

(b) 상기 반도체 칩의 본딩패드상에 금속 볼을 와이머 본딩하는 공정과,

(c) 상기 금속 볼의 표면을 평탄화함으로써, 상기 본딩패드상에 범프전극을 형성하는 공정과,

(d) 상기 절연테이프에 형성된 리드의 일단부를 상기 범프전극상에 본딩하는 공정을 구비하는 테이프 캐리어 패키지형 반도체 집적회로장치의 제조방법.

청구항 17. 제16 항 기재의 제조방법에 의해 얻어진 테이프 캐리어 패키지형 반도체 집적회로장치를 프린트 배선기판에 복수개 적층해서 실장한 것을 특징으로 하는 멀티 칩 모듈형 반도체 집적회로장치.

청구항 18. 반도체 칩의 주면상에 적어도 제1 절연막과, 평탄화막과, 제2 절연막과의 적층막을 포함하는 층간절연막이 형성되고, 상기 층간절연막의 상부에 본딩패드가 형성된 반도체 집적회로장치에 있어서,

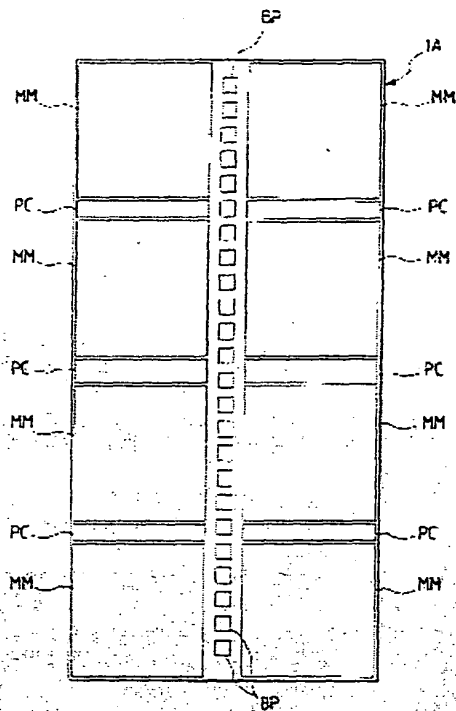
상기 본딩패드의 하부에는, 상기 층간절연막을 통해서 복수의 배선이 배치되어 있고, 적어도 상기 복수의 배선의 상부에서 상기 제1 절연막과 상기 제2 절연막이 접촉하도록 구성되며, 상기 제1 절연막과 제2 절연막과의 접촉력은 상기 제1 절연막 또는 제2 절연막과 상기 평탄화막과의 접촉력보다도 큰 반도체 집적회로장치.

청구항 19. 제 18 항에 있어서,

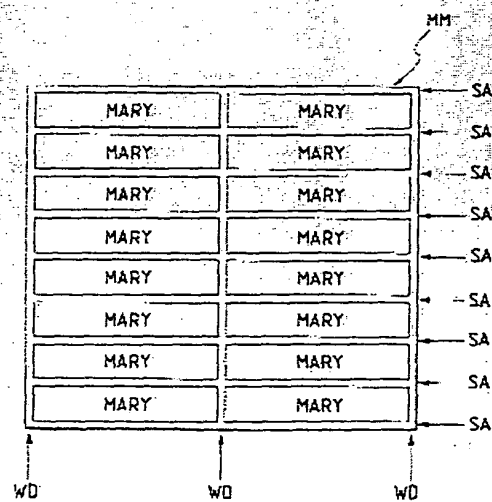
상기 제1 절연막과 상기 제2 절연막은, 동일한 절연재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

도면

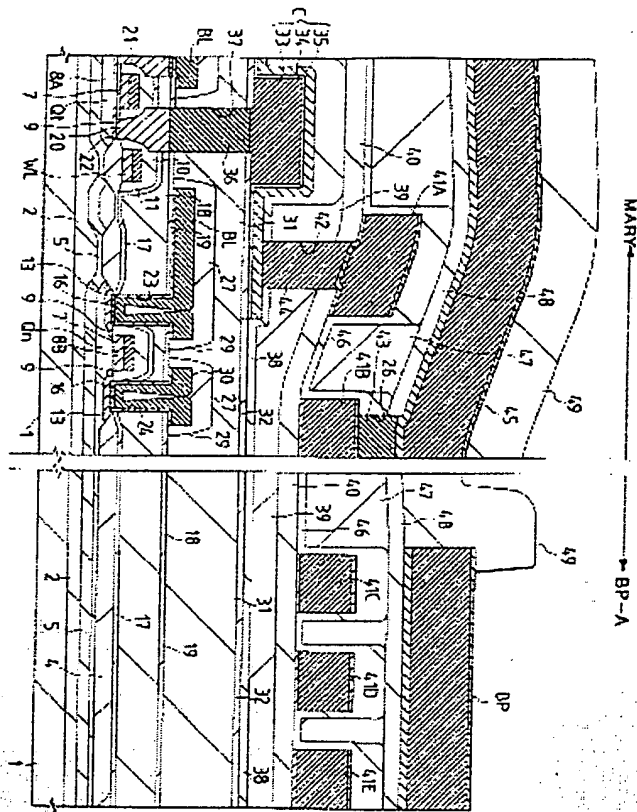
도면1



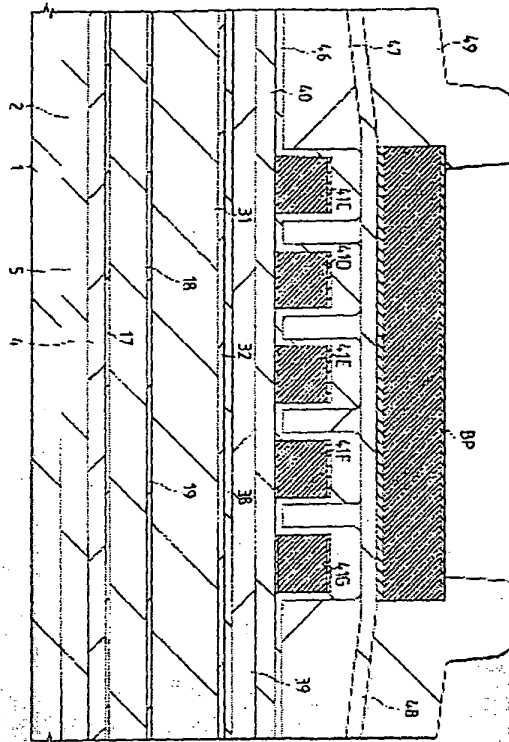
도면2



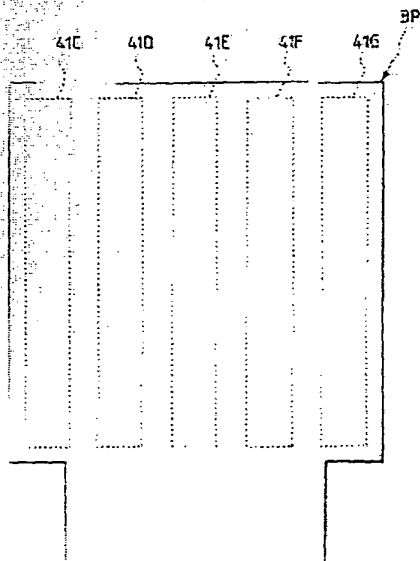
도 3



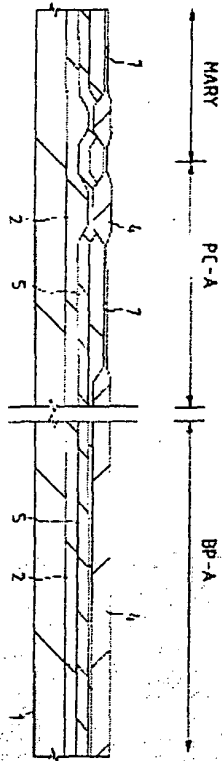
도 294



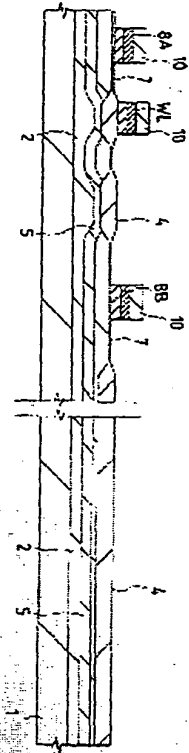
505



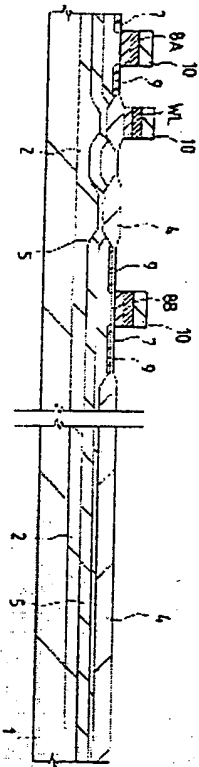
도 2B



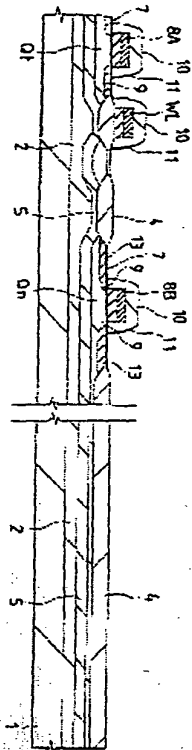
도 5



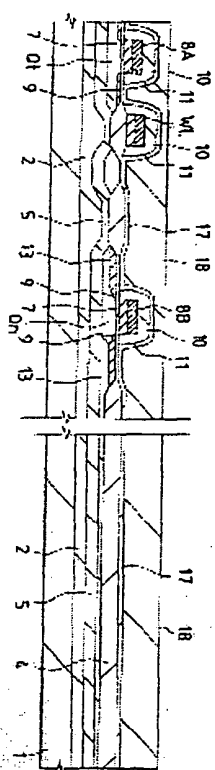
도면 8



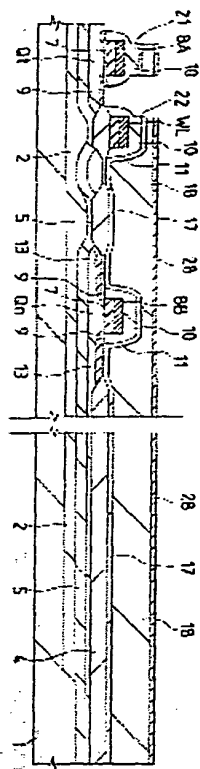
도 9



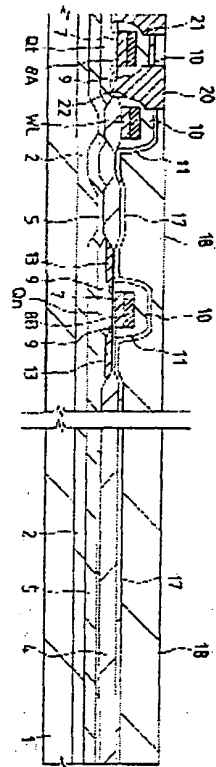
도면 10



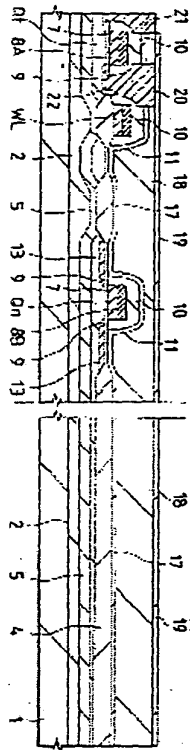
5211



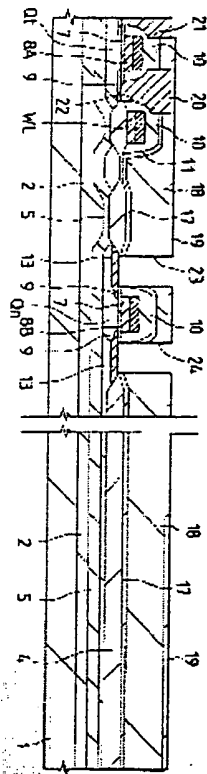
도면 12



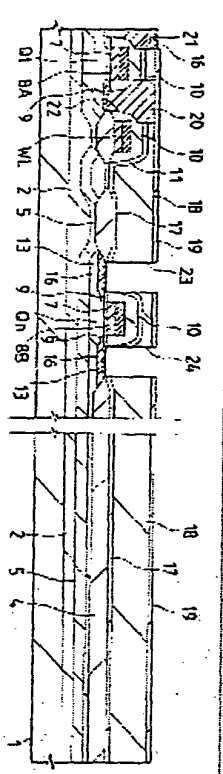
도면13



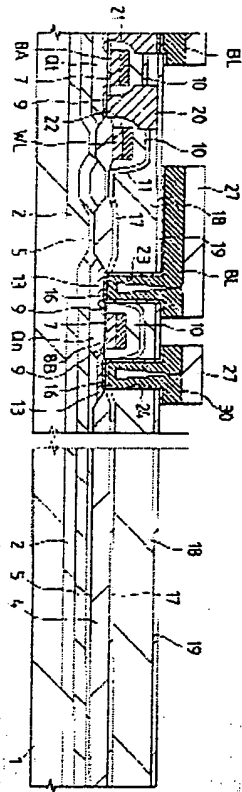
도면14



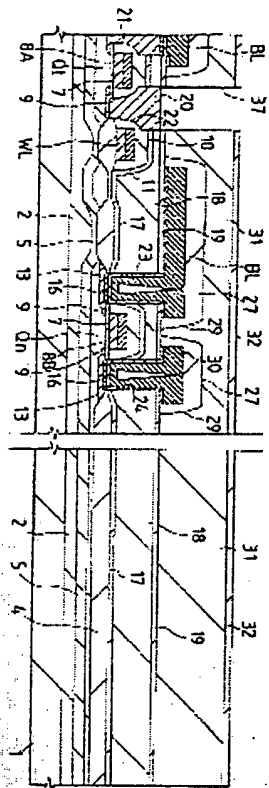
55



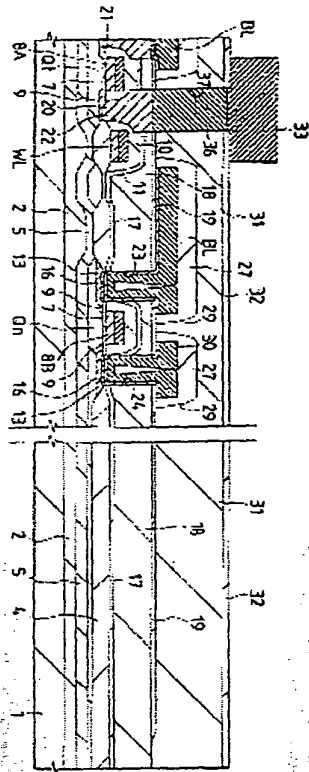
도면18



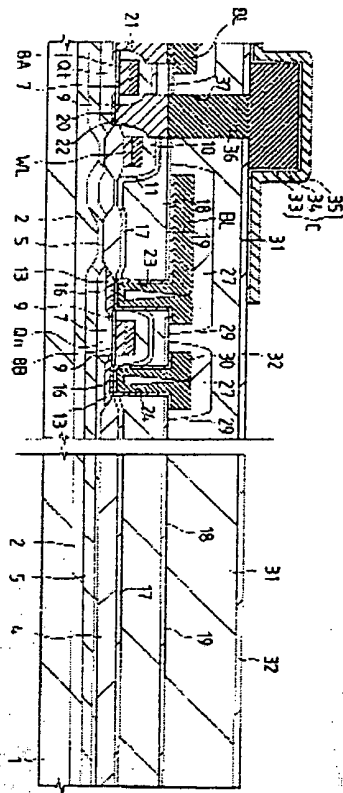
도면 18



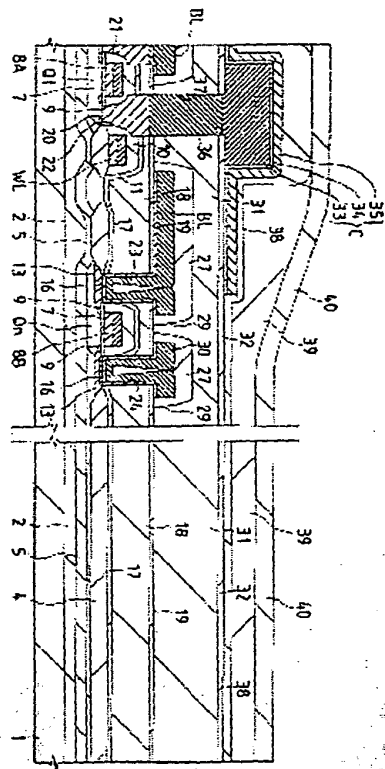
도면18



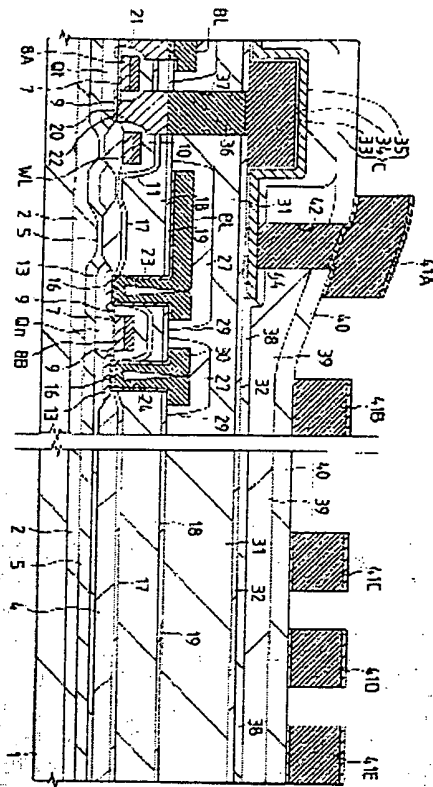
도 20



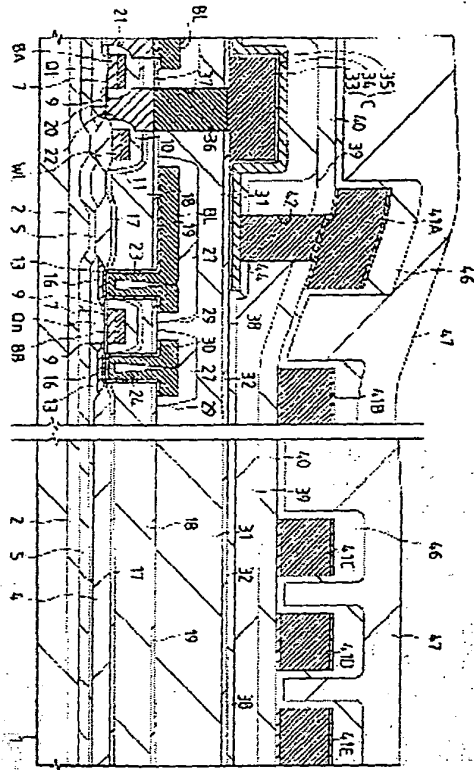
도 21



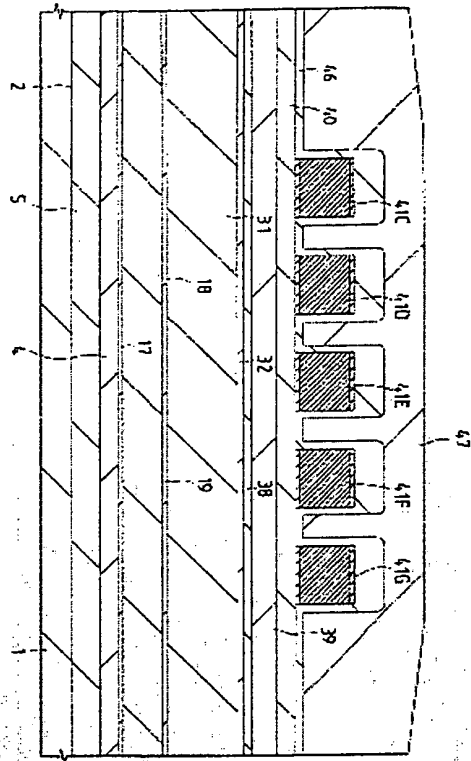
도 22



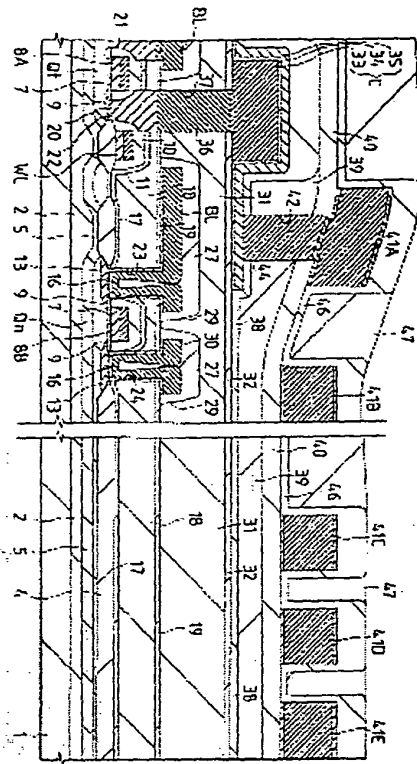
도면23



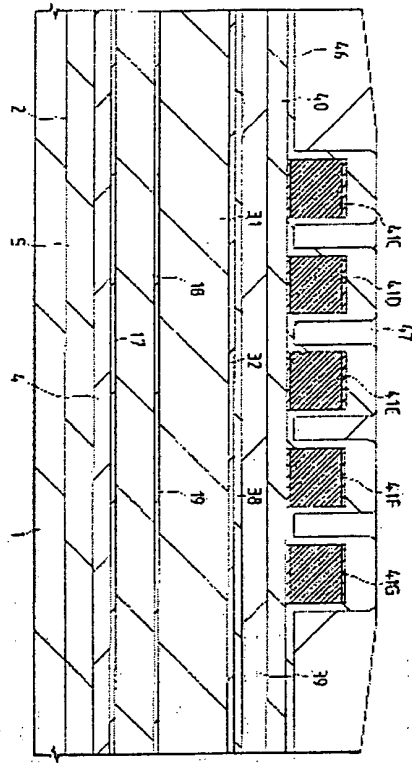
도면 24



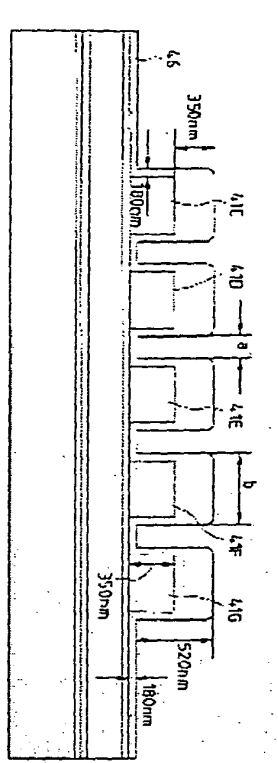
도면25



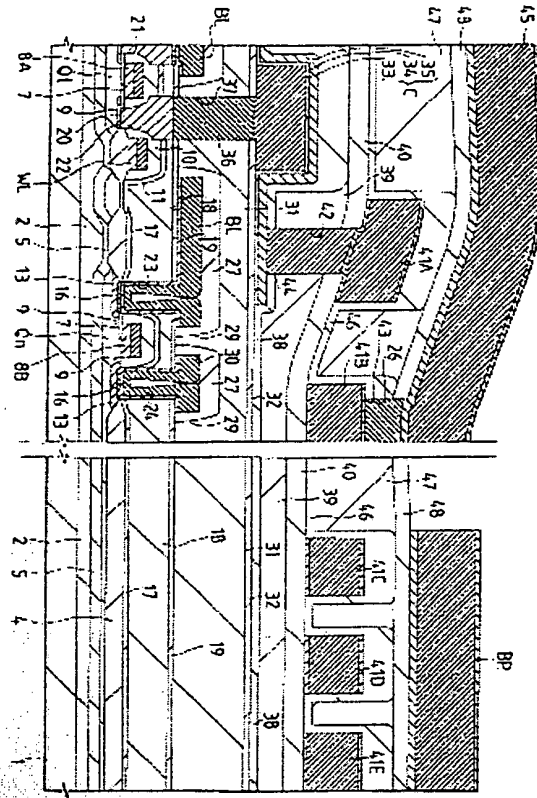
도면 28



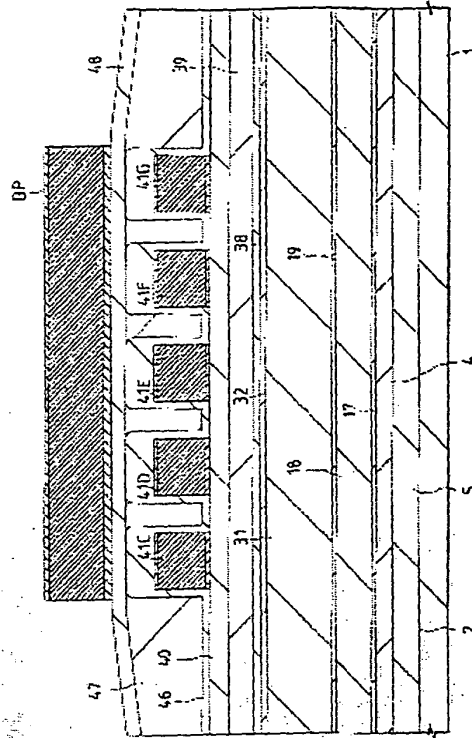
도면27



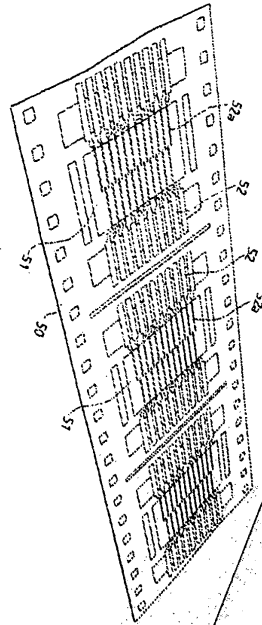
도 28



도면29

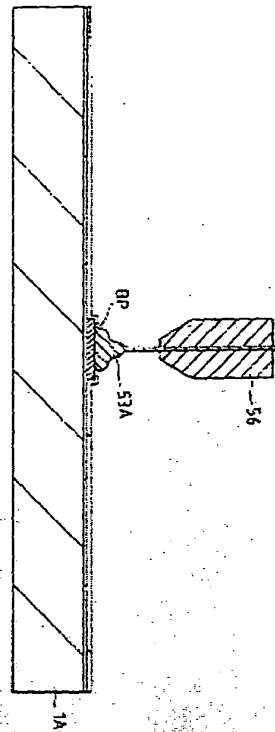


도 230

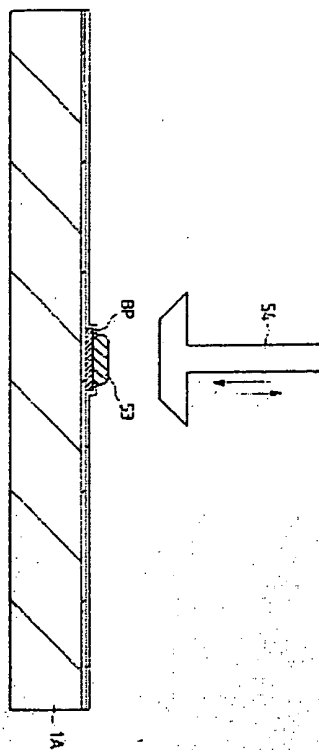


공개특허 1998-079735

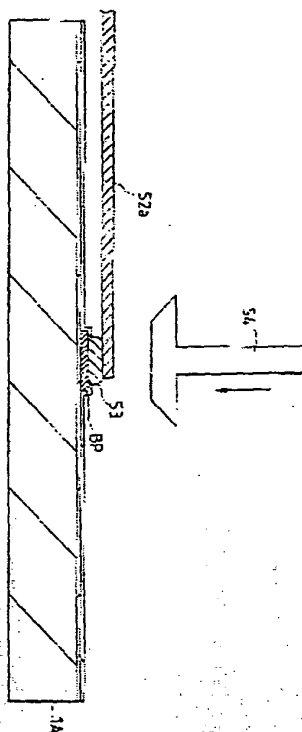
도 31



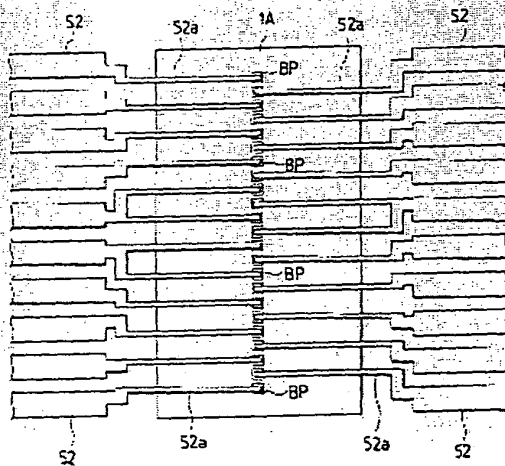
도면32



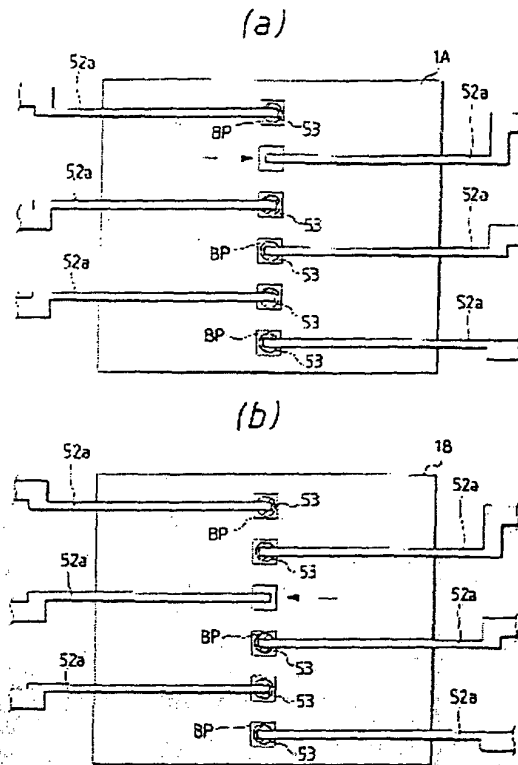
도면33



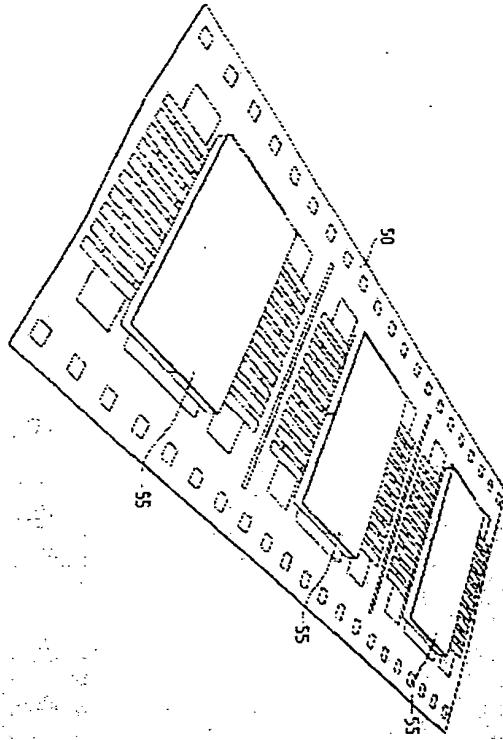
도면34



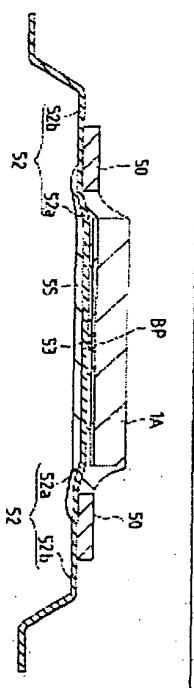
도면 35



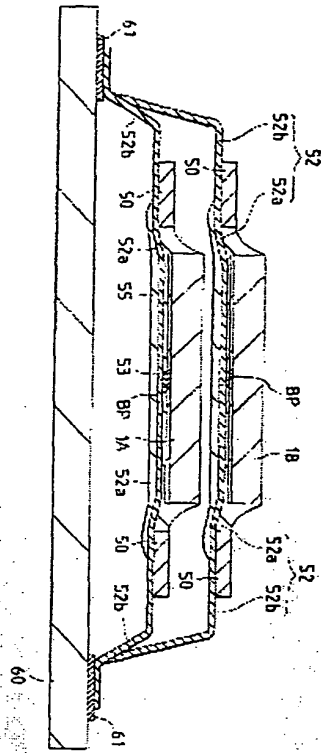
도면38



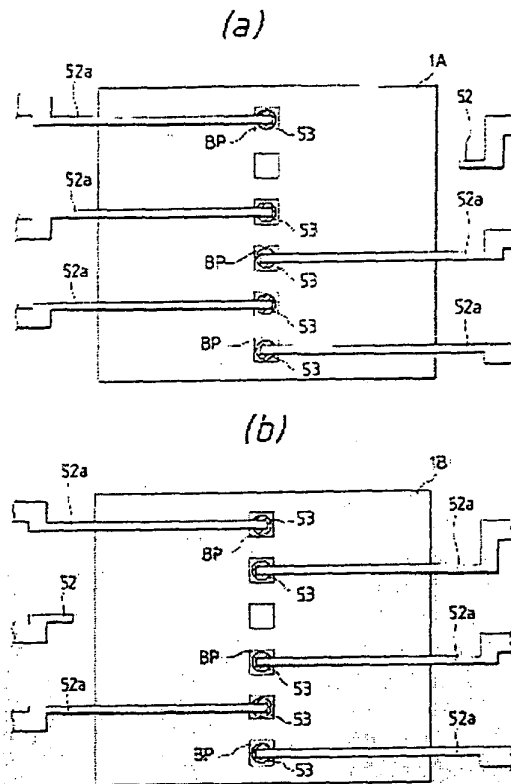
도 37



도면38



도 39



도 40

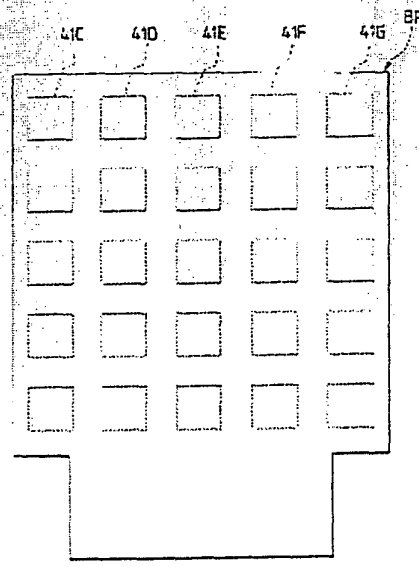
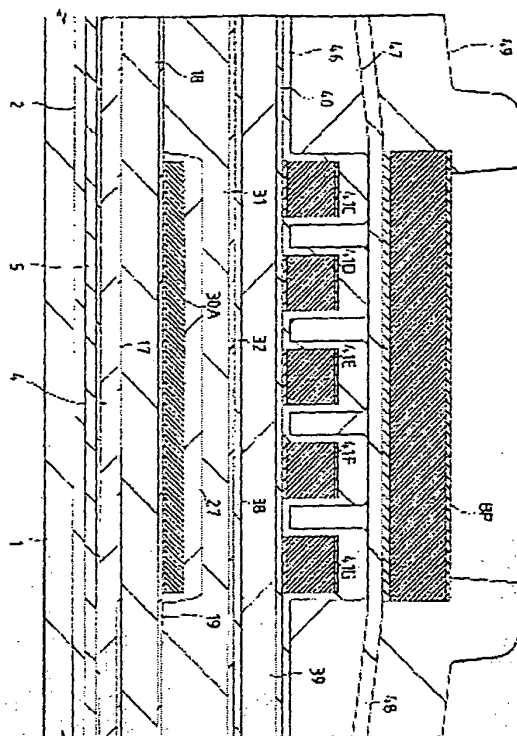
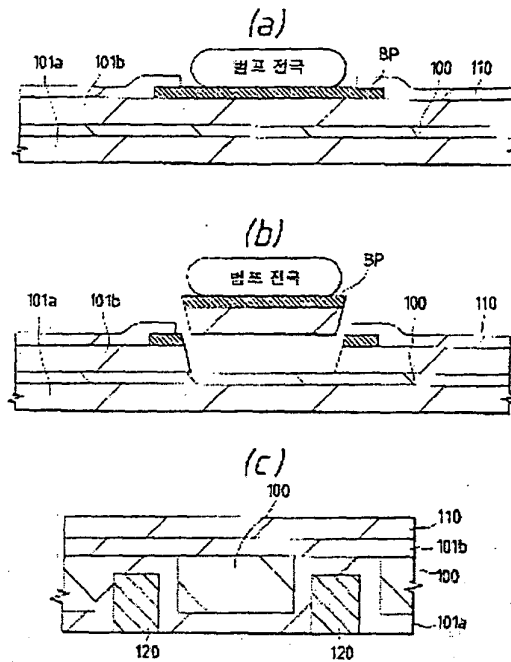


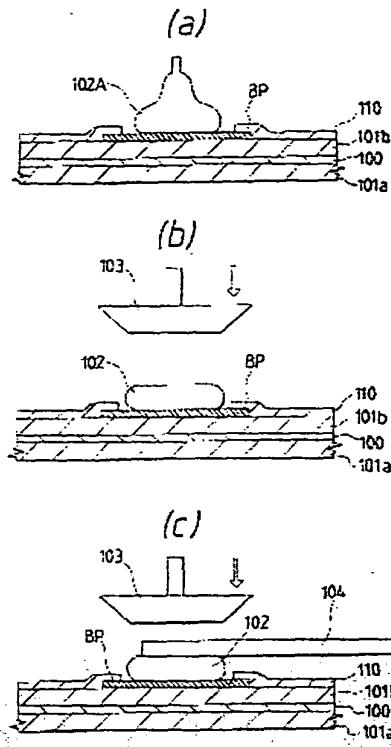
도표 41



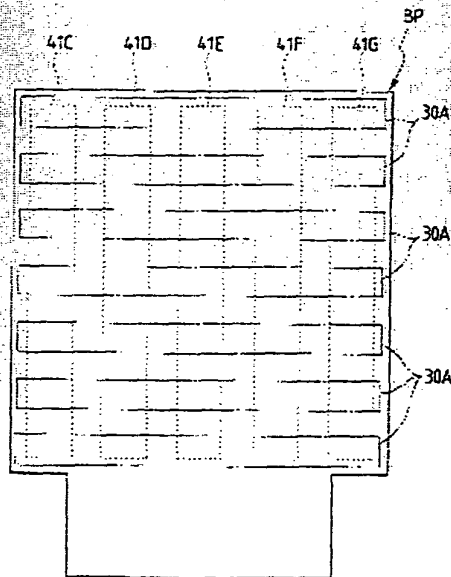
도면 42



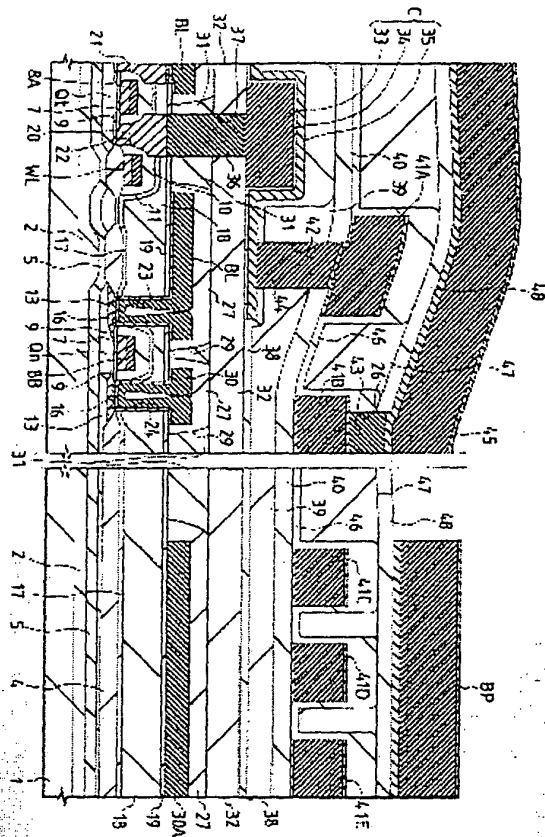
도 43



도 44



도 45



도면

